

【産業競争力懇談会 2008年度推進テーマ報告】

環境調和型ユビキタス社会を実現 するナノエレクトロニクス

【基幹産業創出のためのナノエレクトロニクス研究拠点設置の提案】

2009年3月6日

産業競争力懇談会（COCN）

【エグゼクティブサマリー】

環境調和型ユビキタス社会を実現するナノエレクトロニクス

—ナノエレクトロニクス研究拠点設置の提案—

【ナノエレクトロニクスが牽引する未来社会】

21世紀の地球は、二つの大きな変化点を迎える。第一の変化点は、人間がコンピュータに縛られていた専門家による時代から、誰が誰にでも通じ合えるネットワーク時代を経て、システムが人間のニーズにきめ細やかに対応する時代への変化である。第二の変化点は、この新しい時代に対応するシステムを構築しようとするれば、人類の排出するエネルギーが地球環境を脅かすという変化である。ナノエレクトロニクスは、これらの変化に対して、従来のエレクトロニクスのパフォーマンスを各段に向上させながら、大幅な省エネルギー化を可能とする力のある打出の小槌である。

これまで半導体エレクトロニクスが推進してきた情報家電・通信・PCなどの小型化・低価格化は、何処でも、誰でも、という機器のパーソナル化を推進し、新たな社会への道を切り開いてきた。今後は半導体を含むエレクトロニクスとナノテクノロジー・材料技術を融合させたナノエレクトロニクスが、更に考えられないほど多くの機器に対するアプリケーションを生み出す。センサー機能などが融合することで、車載、防災、商取引・流通、金融与信、更にナノバイオ機能などが融合することで、医療・予防から、生物の栽培・養殖、エネルギー変換との融合により、エネルギー自給、エコ住宅・都市にまで応用分野が広がる。更にナノエレクトロニクスは、ウェアラブル端末やユビキタス端末などの情報機器においても、新たな動作原理やアーキテクチャの導入により先端半導体の限界を延ばし、微細化・省エネ化をより推進することができると考えられる。ナノエレクトロニクスによる機器応用の市場規模は、国内だけで2030年にはGDP換算で80兆円に及び、更にそれらは社会の不可欠な要素として、日本が今後直面する高齢化や、食糧・エネルギーなどの自給化にも大きな貢献を果たすと考えられる。

CMOS半導体は現在でも機器のIT化の推進役であるが、一層の微細化に対する物理的限界や、研究開発や量産の投資における経済的限界が指摘されている。量産性のあるメモリなどの微細化はなお継続するが、個々の量の少ない多機能化に対しては微細化より異機能融合で付加価値を高めることが合理的である。半導体の国際技術ロードマップにおいても、微細化と多様化のベクトルの合わせた方向にナノエレクトロニクスが示されている。このことは、エレクトロニクスとナノテク・材料技術の融合は必至であり、いかに早く着手するかが、日本の国際競争力の観点からも重要である。

【産官学のリソース結集による新基幹産業創出】

ナノエレクトロニクス研究は、日本の公的研究機関・大学・企業の研究所が長期間に行っており、世界的にも高いポテンシャルを有している。今やそれらを実用に結びつけ、培ってきた半導体技術と融合することで、新たな基幹産業の創出に繋げる時期を迎えつつある。ナノエレクトロニクスを行っている日本の公的研究機関・大学・企業の研究所が、共通の場で一堂に会し、実用化へのステップや新たな企業輩出を行い、日本のグローバル化したエレクトロニクス・半導体企業のアプリや蓄積した技術と組み合わせることで、日本に新たな新産業創出と繁栄がもたらされると期待される。今度は産官学連携のリンクを切らず、海外をも巻き込む形で、日本の場

に確固としたナノエレクトロニクス研究拠点を保つことで、日本が21世紀のナノエレクトロニクスが創出する新産業の推進役として、世界をリードし続けることができると考えられる。

【ナノエレクトロニクスの戦略的位置づけ】

ナノエレクトロニクスは、日本の次世代産業創出の源泉であり、ナノエレクトロニクス研究で世界をリードすることは、日本の国家的戦略として位置づけることが必要である。

- ・日本が得意とするナノテク・材料技術と蓄積した半導体を含むエレクトロニクス技術との融合により環境調和型ユビキタス社会を実現、エレクトロニクス産業の競争力源泉とし、IT/ネットワーク技術が融合した安全・安心なユビキタス社会を提供するとともに、環境・エネルギー分野の産業を活性化し、新しいビジネスや産業を創出し世界へ先駆けて発信する。
- ・半導体技術は微細化が極限近くまで進み、プロセスの複雑化と投資の巨大化が進んだ結果、研究開発のグローバル化・集約化が加速されている。一方半導体応用市場は安定成長の時代に入り、アプリケーションの多様化とビジネスモデルの多様化が進んでいる。今後は、半導体応用技術による付加価値確保に加えて、CMOS技術とナノテクノロジー技術との融合による新たな付加価値創出が重要である。

【強化すべきナノエレクトロニクス研究テーマ】

これまでに述べた背景とナノエレクトロニクスの戦略的位置づけに鑑み、日本として強化すべきナノエレクトロニクスとして、下記4分野10テーマを提案する。

1. シリコンベース・ナノエレクトロニクス

スケーリング CMOS 技術をベースとして、日本の強みである光技術やカーボン材料技術との融合によって半導体の付加価値を高め、半導体産業の進展とともに新しい産業創出を狙う。
＜研究テーマ＞①ナノ CMOS、②シリコンフォトニクス、③カーボンエレクトロニクス

2. 革新的電子デバイス

電荷以外の物理量で情報処理を行う論理デバイスや、まったく新しい材料や物理現象を利用した記憶デバイスの開発を行い、CMOS を凌駕する革新的電子デバイスの創出を狙う。
＜研究テーマ＞④ノンチャージロジック、⑤新メモリ

3. アプリドリブン・ユビキタスデバイス

環境調和型ユビキタス社会実現に向けたアプリ指向の研究開発として、エネルギー有効利用のためのナノ材料デバイス技術や、人の安心安全を支えるセンサーネットワーク技術、人と環境に優しいフレキシブルエレクトロニクスの研究開発を行い、次世代産業創出を狙う。
＜研究テーマ＞⑥エネルギー変換材料、⑦センシング、⑧フレキシブルエレクトロニクス

4. ナノエレクトロニクス共通基盤

ナノエレクトロニクスの研究開発を支える共通基盤技術として、シミュレーション技術、評価技術、データベースの蓄積とデータマイニング技術を開発、統合するとともに、ナノ製造技術の劇的な製造コスト低減と環境負荷低減を可能とする新しい製造技術を開発する。
＜研究テーマ＞⑨ナノデバイスの知的設計研究開発、⑩ナノマニュファクチャリング

【日本のナノエレクトロニクスの課題と対策】

ナノエレクトロニクスにおいても日本のポテンシャルは非常に高いが、これまで日本の高いポテンシャルが、産業競争力に結びつけられなかったのは何故か、以下にその要点を示す。

- 1) IDM 企業においては、全方位的 R&D 戦略が、先端エレクトロニクスの研究開発の高度化・巨額化・多様化により限界を生じてきている。各企業の事業においても選択と集中が不可欠であり、R&D も絞られてくる。今後の R&D は、限定された自らのリソースだけで秘密裏に行うよりも、オープンイノベーション戦略により、川上／川下の企業との連携や、大学・公的研究機関との連携など、ニーズ指向で行うことがスピードや競争力の点からも重要である。また事業や研究のグローバル化が進み、連携相手や切磋琢磨する相手を求めて、日本の装置・材料・デバイスメーカーは海外の研究拠点へ展開することが多くなった。日本に海外企業も集まれる研究拠点が無いことが、日本のポジションの相対的な地盤沈下に繋がっている。
- 2) 日本のナノテクノロジー予算は、欧米に匹敵し、大学・公的研究機関の研究も世界的水準である。しかし、それらの要素研究は全国の研究拠点到分散して行われているため、個々には予算・人員の不足が生じており、連携の試みも補完的である。海外研究拠点のように特色を持ち、内外から優秀な研究者／学生人材が結集するような形ではない。人材面でも日本のリソースだけでは、少子化と学生のエレクトロニクスの不人気と相まって樂觀できない。
- 3) それら課題を克服するためには、次のような対策が必要となる。
 - ・日本の次世代産業を担うナノエレクトロニクスに対し、国レベルの戦略構築が必要である。
 - ・日本の幅広い特徴を活かすアプリから材料までの垂直連携、異分野連携を推進し、アプリを指向した高付加価値のナノエレクトロニクスを創成する。
 - ・大学・公的研究機関の研究成果のデバイス実証ができる体制と場を構築する。それにより、「死の谷」を克服し実用化への橋渡しを可能とする。更に産官学のネットワークにより、その場を通じて、全国のナノエレクトロニクス研究機関の共同研究と研究交流を促進する。
 - ・ナノエレクトロニクス研究成果の事業化を促進し、次世代産業創出を促すために、国内外のアプリを含む産学官研究機関が交流でき、ベンチャーも輩出できるための場を提供する。

【ナノエレクトロニクス拠点設置の提案】

1. 分散して行われている日本のナノエレクトロニクス研究の成果を実証するための共通の場を設置し、アプリとの連携の機会を設けることで、実用化への繋がりをつける。特に実用化に繋がりやすい CMOS をベースとしたナノエレクトロニクスに注力する。
2. カーボンエレクトロニクスなど日本のリードするナノエレクトロニクスの分野において、産官学の叡智を結集することで、海外からも一目置かれるナノエレクトロニクス研究拠点を構築し、海外からの人材・ノウハウを呼び込み、日本の優位性を更に高める。
3. つくばにおいては、産総研、物材機構などの公的研究機関、大学、企業をはじめとして、日本のナノエレクトロニクス研究に必要な人材、施設が揃っており、つくばを連携のための拠点地候補とする。
4. 産総研ではこれまで CMOS に関する産官学研究プロジェクトが推進され、CMOS をベースとしたインフラ、知の蓄積、人材が揃い、また日本の将来を担うエマージング・アプリの研究も行われており、研究の幅とアクティビティから拠点における成果実証の場として活用する。

以上の観点から、

産総研を中軸とした「つくばナノエレクトロニクス研究拠点」の設置を提案する。

【ナノエレ研究拠点における研究テーマ推進案】

- 研究拠点は、公的研究機関・大学・ベンチャーなどのアイデア実証、集積化実証に活用される研究連携の場とし、テーマにより海外にも開かれたオープンイノベーションを実現するオープン開発環境と、高度な分析・計測・シミュレーション環境を提供する。拠点を核として、全国の大学との連携をネットワークで実現し、人材育成・教育の場ともなり、ナノテクノロジーの様々な分野とのコラボレーションも実現するアリーナ構想の一環となる。
- CMOS 技術とナノテク・材料技術を融合した①ナノ CMOS、②カーボンエレクトロニクス、③シリコンフォトニクスの研究を戦略的コア領域として、研究人材集結（産官学）、材料・装置・デバイス・システム連携、異業種連携を推進する。
- 上記戦略的コア領域研究を中心に、エネルギー変換材料、フレキシブルエレクトロニクス、センシング、MEMS/NEMS などのアプドリブン・ユビキタスデバイス、ノンチャージロジック、新メモリなどの革新的電子デバイス、ナノデバイス知的設計研究開発（データマイニング、シミュレーション）やナノマニュファクチャリングなどのナノエレクトロニクス共通基盤を各研究機関との連携により推進する。

【ナノエレ研究拠点における戦略的コア・テーマ】

- ・ナノ CMOS（予算規模：70 億円/5 年）

Si LSI 技術と、ナノテクノロジーで培った原子・ナノレベルの材料制御や計測評価技術を融合し、ユビキタス社会の中核となる超低消費電力で信頼性の高いシステムを実現する。拠点では、最先端技術世代のトランジスタ実証やSRAMセル・基本回路レベルの作製を行う。

- ・シリコンフォトニクス（予算規模：40～60 億円/5 年）

CMOS 技術と、シリコン細線導波路・変調器・受光器などの光技術を融合し、通信ネットワーク、コンピュータ・サーバの大幅な低消費電力化を目指す。拠点では、チップ間、チップ内光配線が組み込まれた新デバイスや通信ネットワーク用の集積化デバイスのプロセス・評価・集積化実証を行う。

- ・カーボンエレクトロニクス（予算規模：100 億円/5 年）

Si LSI 技術と、日本が世界をリードするナノカーボン材料（CNT、グラフェン等）技術を融合し、IT そのものの高性能化・低消費電力化を目指す。拠点では、材料・プロセス・評価の共通基盤技術を活用し、デバイスの試作実証を行う。

【ナノエレ研究拠点における体制】

- AIST を中心とした産官学連携体制とし、研究拠点の運営母体として、連携体もしくは産業界・公的研究機関・大学が連携して参加できる新法人を設置する。
- 連携体もしくは単一法人のトップマネジメントによるリーダーシップと、戦略的マネージングボードの設置による運営を行い、つくば地域の研究機関との連携を強化する。
- 研究インフラとして産総研 SCR 棟（年間 15～30 億円レベルの維持費）と既存施設を活用する。
- 研究費用は、研究拠点で行う上記戦略的コア領域研究とナノデバイス知的設計（30 億円/5 年）で、研究員 100 人、研究予算 50 億円×5 年を想定する。他にサテライト研究機関での費用が必要となる。
- IP の帰属は研究テーマ内容により弾力的運用する。

以上

はじめに

わが国の次世代基幹産業創出の担い手となるナノエレクトロニクス技術に関して、日本の産業力強化という戦略的立場から、今着手すべきことに関して政策提言をまとめる。

本プロジェクトは、高いポテンシャルを有する日本の半導体とナノテクノロジー・材料技術を融合させたナノエレクトロニクス技術を、次世代基幹産業創出に結び付けるための施策案について、富士通研究所の横山フェローをリーダーに、テーマの検討については社団法人電子情報技術産業協会のナノエレクトロニクス研究会の協力を得て、検討を行なった。

2009年3月
産業競争力懇談会
会長（代表幹事）
野間口 有

【プロジェクトメンバー】

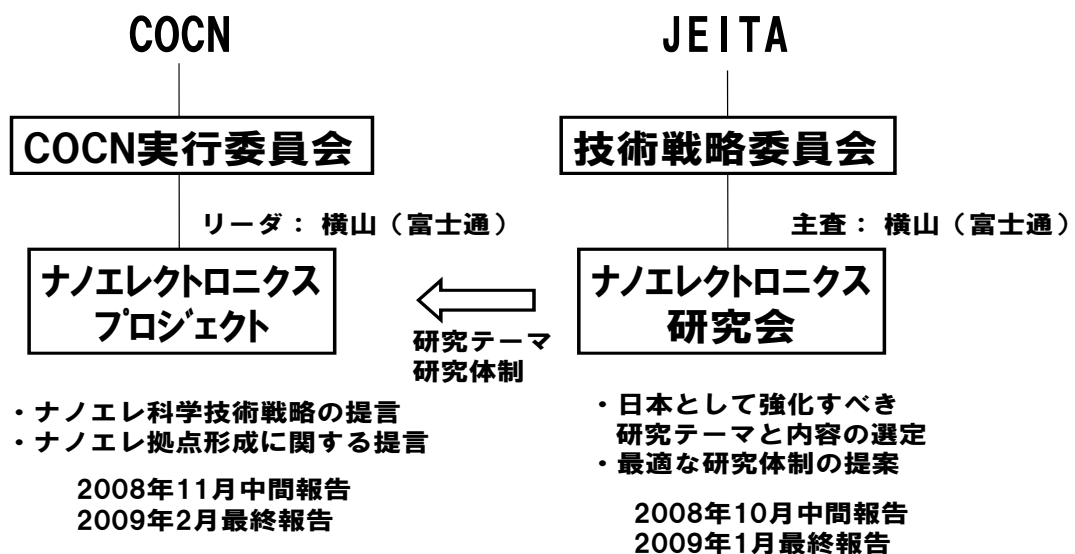
プロジェクトリーダー：横山 直樹（(株)富士通研究所）

メンバー（幹事）：富士通(株)、(株)東芝、日本電気(株)、三菱電機(株)、(株)日立製作所、
(社)電子情報技術産業協会、半導体産業研究所

メンバー：(独)産業技術総合研究所、(独)物質・材料研究機構、東京大学、パナソニック(株)、
(株)ルネサステクノロジ、シャープ(株)、NECエレクトロニクス(株)、技術研究
組合 超先端電子技術開発機構、(株)半導体先端テクノロジーズ

事務局：(株)富士通研究所、半導体産業研究所

本プロジェクトと、JEITAナノエレ研究会の役割分担



目次

第1章 提案の背景と戦略的位置づけ

- 1.1 社会と地球環境のパラダイムシフト
- 1.2 ナノエレクトロニクスが切り開く市場
- 1.3 半導体技術とナノテク・材料技術との融合
- 1.4 産官学のリソース結集による新基幹産業創出
- 1.5 ナノエレクトロニクスの戦略的位置づけ

第2章 強化すべきナノエレクトロニクス研究テーマ

- 2.1 強化すべきナノエレクトロニクス研究テーマ
- 2.2 日本のナノエレクトロニクス関連プロジェクトと動向
- 2.3 世界をリードする日本のナノエレクトロニクス研究
- 2.4 国外のナノエレクトロニクスの現状

第3章 ナノエレクトロニクス研究テーマの提案

- 3.1 強化すべきナノエレクトロニクス研究テーマの日本での位置づけと課題
- 3.2 ナノエレクトロニクス研究4テーマの提案概要
- 3.3 ナノエレクトロニクス 戦略的コア研究テーマの応用市場と製品

第4章 日本のナノエレクトロニクス拠点設置の提案

- 4.1 日本のナノエレクトロニクスの課題
- 4.2 日本におけるナノエレクトロニクス拠点設置の提案
- 4.3 ナノエレクトロニクス研究拠点の具体案

第5章 今後の検討課題と推進体制

- 5.1 今後の検討課題
- 5.2 今後の検討推進体制（案）

付章 ナノエレクトロニクス研究テーマの提案

- 1) ナノ CMOS
- 2) シリコンフォトニクス
- 3) カーボンエレクトロニクス
- 4) ナノデバイスの知的研究開発

第1章 提案の背景と戦略的位置づけ

1-1 社会と地球環境のパラダイムシフト

21世紀の地球は、二つの大きな変化点を迎える。第一の変化点は、人間がコンピュータやネットワークに縛られ、それらが専門家の手に委ねられていた時代から、パソコンやインターネットの出現により、誰もがコンピュータやネットワークを自由に使える時代になった。

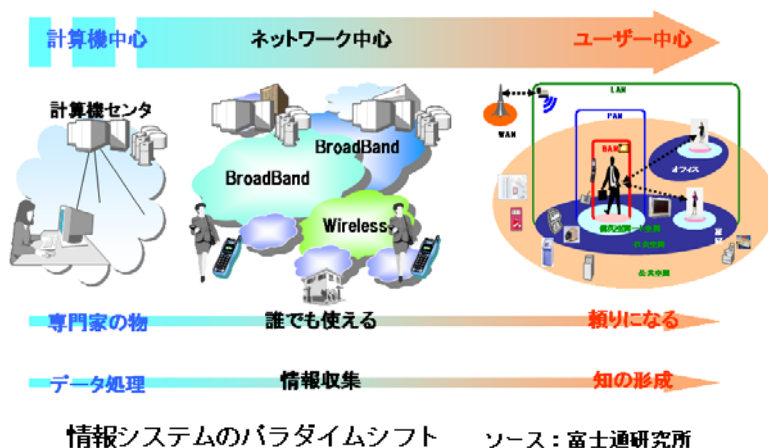
現在それらの性能は驚くほど向上しているが、それらを使いこなそうと思うとそれなりの技量が必要とされ、人間にとってまだ心地の良いものとは言えない。

人間が自然に機器を使えるためには、機器が人間の動きやニーズを理解するような双方向の対応が不可欠である。それらが実現することにより、社会基盤の確立とともに、システムや機器が人に対してきめ細やかに対応し、人間にとって使い勝手が良く、時には頼りになる「ユーザ/人間中心」の時代へ変化していくと考えられる。全地球上のすべての人が、生活の一環としてそれらを自然に手にし、安全・安心で心地よい社会を迎える時代となる。

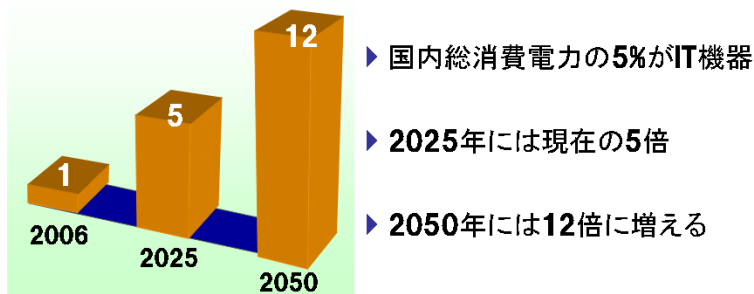
第二の変化点は、この新しい時代に対応するシステムを構築しようとするれば、現状の技術の延長では人類の排出するエネルギーが地球環境を脅かすという変化である。

特にIT分野においては、技術革新による省エネルギーの速度は目を見張るものがあるが、既に述べたように性能向上と使い勝手の良さ、更に社会の必需品になることで、技術革新を上回る勢いでユーザー数が増えていくため、IT機器トータルとして総消費電力量を増加させ、地球の温暖化を招くという負の面が生じ始めている。既に現在でも国内総電力量の5%がIT機器であり、現状のまま推移すれば、2025年には現在の5倍、2050年には12倍に増えると見込まれている。グリーンITへの取り組みがますます重要となってくる。

・社会基盤としての確立とともに、「ユーザ/人間中心」へ



ITの総消費電力量の推計(国内)



[出典:経済産業省]

グリーンITへの取り組みがますます重要

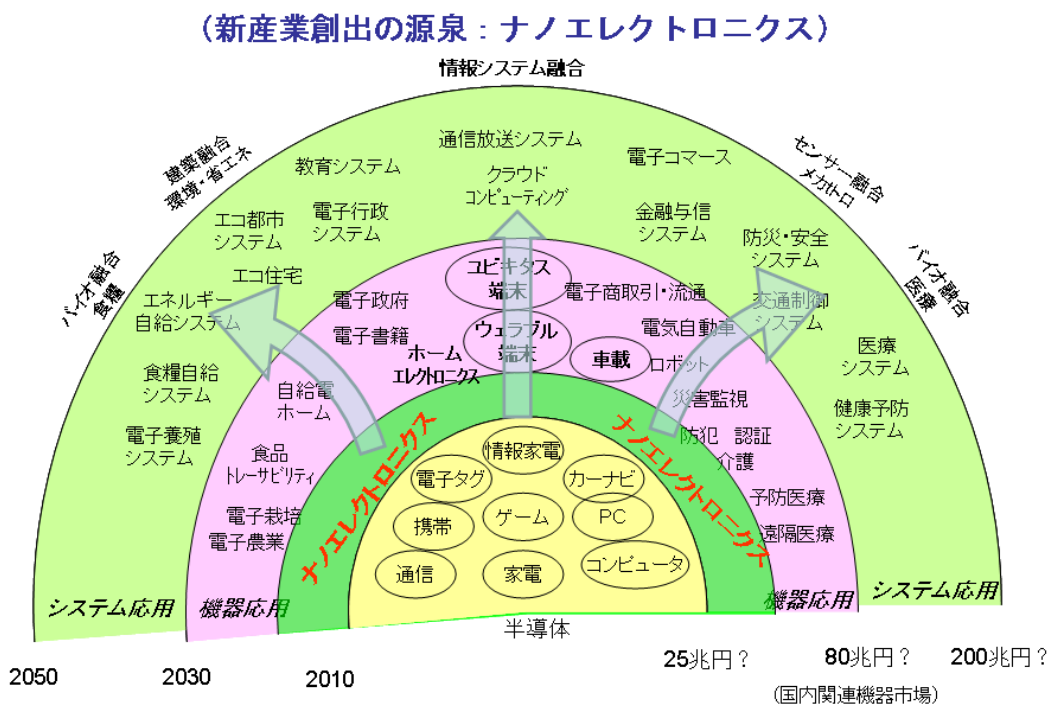
IT分野における環境問題 ソース：経済産業省

ナノエレクトロニクスは、これらの変化に対して、従来のシステムのパフォーマンスを格段に向上させながら人に対してきめ細やかに対応し、また格段に消費電力の低減をも実現できる可能性を秘めている。ナノエレクトロニクスは、環境に調和したシステムを実現する力のある未来のエレクトロニクスであると同時に、日本は環境、高齢化などの課題先進国であり、それらの課題をいち早く克服した日本のナノエレクトロニクスと機器・システムは、全世界の待望するところであり、日本の将来を担う基幹産業となることは明白である。日本が今こそナノエレクトロニクスを新産業創出と日本経済発展のための「国家基幹技術」として、全力を注入すべき時が来ていると考えられる。

1-2 ナノエレクトロニクスが切り開く市場

これまで半導体エレクトロニクスが推進してきた情報家電・通信・PCなどの小型化・低価格化は、何処でも、誰でも、という機器のパーソナル化を推進し、新たな社会への道を切り開いてきた。今後は半導体を含むエレクトロニクスとナノテクノロジー・材料技術を融合させたナノエレクトロニクスが、更に考えられないほど多くの機器やアプリケーションを生み出す。

例えば、センサーや通信機能などが高性能CMOSと融合することで、車載、防災、商取引・流通、金融と信への応用が広がる。今後のシステムにとって人のニーズを満たし、人とのインターフェースがいかに良いかが決め手となる。車やロボットの安全な運転や動作は勿論、人に危害を与えず、人への優しい対応が必要となる。人の行動や環境の変化を事前に察知し対応することや、人の立ち入れない環境で人の代わりにすることが求められる。人や物体の認識を自動的に行って対応したり、遠隔地との通信で人の認証や物の履歴の追証をすることが求められる。これらの技術をナノエレクトロニクスが支えることになると考えられる。



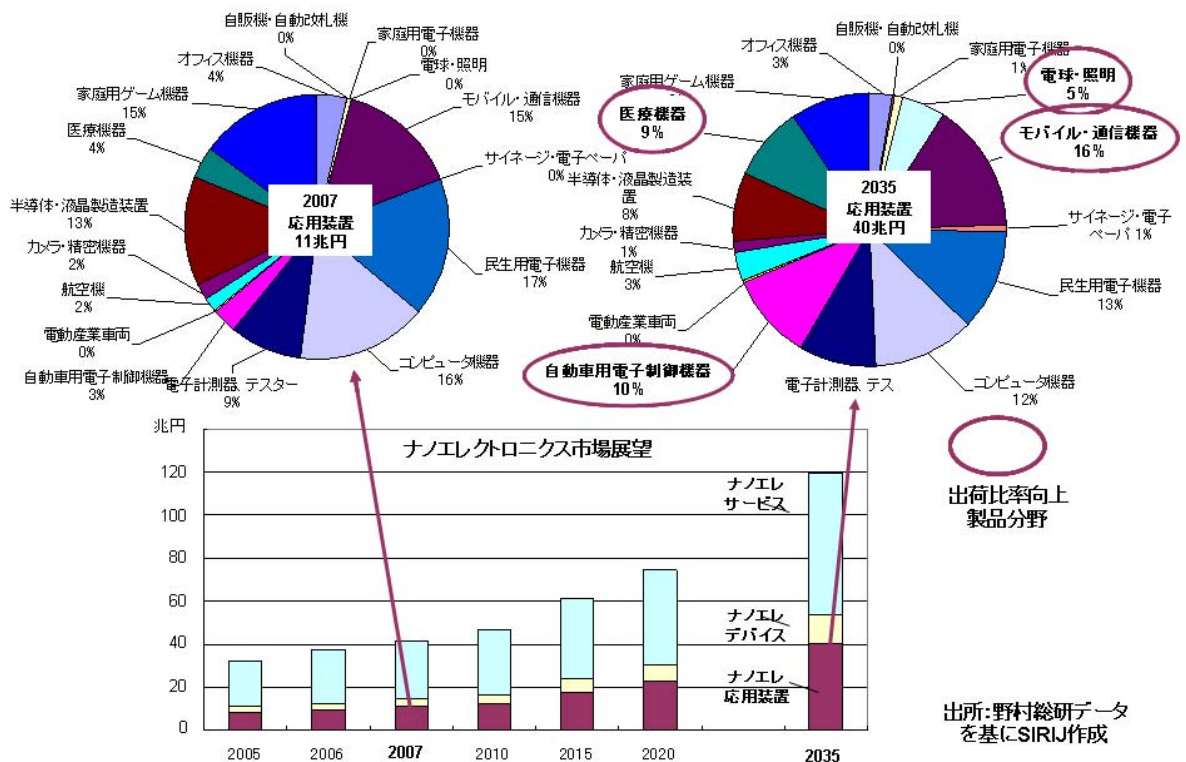
ナノエレクトロニクスが牽引するアプリケーション ソース：SIRIJ

更にナノバイオ機能が融合することで、医療・予防から、生物の栽培・養殖への応用が広がる。センサで検知される状況に合わせ、予防処置や環境の最適化をリアルタイムに実現する。高齢化社会への対応や食糧自給への道を開くことができる。またエネルギー変換との融合により、エネルギー自給、エコカー・住宅・都市にまで応用分野が広がる。太陽電池などとの結合とナノエレクトロニクスによる機器の省エネルギー化で、自給電機器・自動車・住宅を実現し、エネルギー時給にも道を開くと考えられる。

ナノエレクトロニクスは、現在の半導体の主流である IT 機器においても更なる発展をもたらす。現在のモバイル機器が一体化し発展する形のウェアラブル端末や生活のあらゆる所に見受けられることになるユビキタス端末などにおいて、ナノエレクトロニクスは、新たな動作原理やアーキテクチャの導入とともに先端半導体の限界を延ばし、高性能化・省エネルギー化をより推進することができると考えられる。

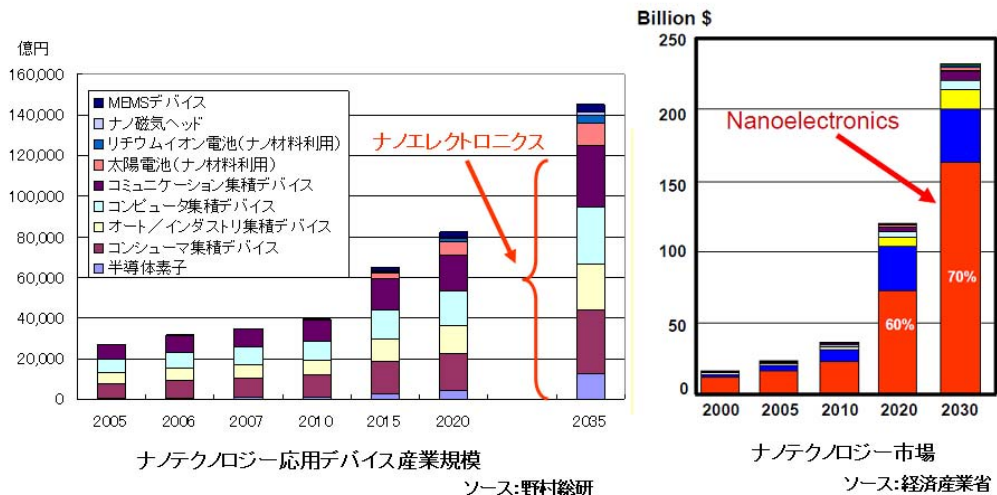
ナノエレクトロニクスによる機器応用の市場規模は、国内だけで 2030 年には GDP 換算で約 80 兆円に及び、更にそれらは社会の不可欠な要素として、日本が今後直面する高齢化や、食糧・エネルギーなどの自給化にも大きな貢献を果たすと考えられ、2050 年にはサービスを含めると、日本の GDP が 1 京円になるとして、その 2 割程度に対して貢献するものと予想される。

ナノエレクトロニクス関連の市場動向として、野村総合研究所の試算によれば 2035 年で装置・デバイスで 55 兆円、サービスを含めると 116 兆円規模であり上記予測を裏付けている。ナノエレクトロニクス市場は、現在から 2035 年に向けて 3.4 倍の伸びを示すが、その中でもそれ以上に大きく成長する応用分野を内部比率の増加で見ると、クリーンエネルギー自動車関連が 3%から 10%に、医療機器・器具が 4%から 9%に、照明などの住宅関連が 0%から 2%と推定されている。食糧への応用は 2035 年ではまだ絶対値が小さいが、将来の発展が期待される。



ナノエレクトロニクス市場展望と応用装置出荷規模の変化 (2007年→2035年)

ナノエレクトロニクス自身の市場規模としては、ナノエレクトロニクスの定義にもよるが、100nm以下の微細化技術をベースとした集積化した機能融合素子と考えた時、経済産業省の予測によれば、ナノエレクトロニクス市場は、日本において2030年にナノテクノロジー市場の70%を占め、16兆円となっている。野村総研の試算では、2035年で13兆円となり、現在から4～5倍の急成長が見込まれている。

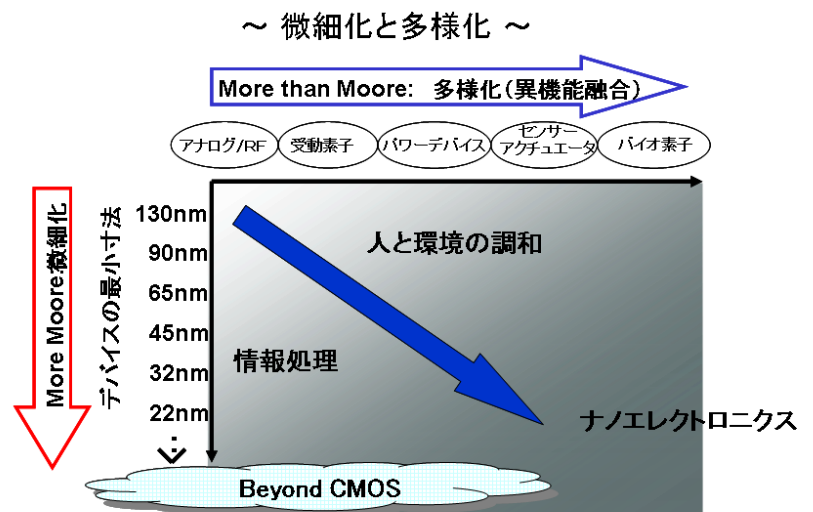


ナノエレクトロニクス・デバイス市場

1-3 半導体技術とナノテク・材料技術との融合

CMOS半導体は現在でも機器のIT化の推進役であるが、一層の微細化に対する物理的限界や、研究開発や量産の投資における経済的限界が指摘されている。量産性のあるメモリなどの微細化はなお継続すると考えられるが、今後のユビキタス社会を実現するナノエレクトロニクス構築に向けては、微細化による付加価値を高める以外に、微細化によらずともセンサー・バイオ・MEMSなどとの異機能融合で付加価値を高めることが一つの考え方となる。

半導体の国際技術ロードマップにおいても、微細化の方向をMore Mooreと称し、異機能融合による多様化をMore than Mooreと称し、微細化と多様化のベクトルの合わせた方向にナノエレクトロニクスが示されている。このことは、エレクトロニクスとナノテク・材料技術の融合は必至であり、いかに早く、ナノエレクトロニクスを国家基幹技術として位置づけ着手するかが、日本の国際競争力の観点からも重要である。



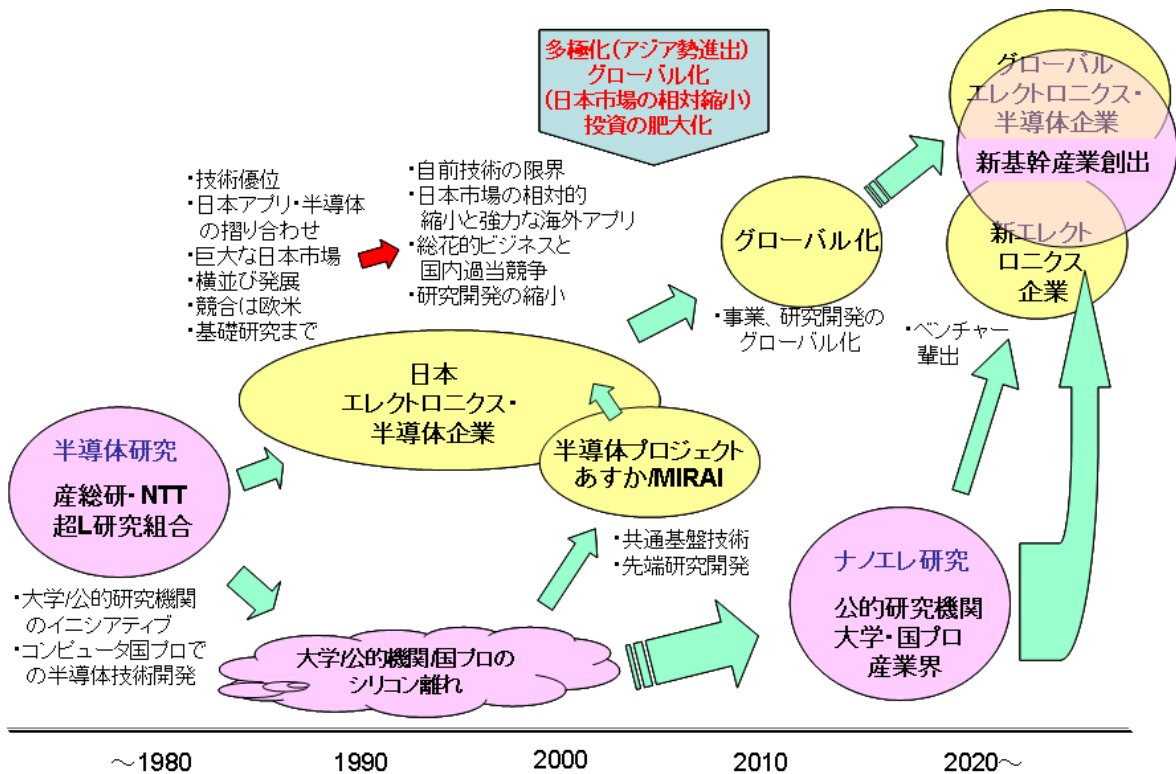
ITRS (International Technology Roadmap for Semiconductors) を基に SIRIJ が作成

半導体技術ロードマップの示す方向

1-4 産官学のリソース結集による新基幹産業創出

ナノエレクトロニクスが日本の新たな新基幹産業創出に繋がることは、半導体の歴史を遡ることで理解されるとともに、同じ轍を踏まないように心がける必要がある。日本においても半導体のパイオニアは、産総研（当時電気試験所）、大学等の公的機関の研究であり、その後産業界において研究・実用化が開始された。NTT(当時電々公社)の研究所やコンピュータのための国プロジェクト（超LSI技術研究組合）が産業界の後押しをした。1980年代に日本の半導体各社は技術優位を確立し世界市場を席捲した。一方、企業がシリコン領域に関しては基礎研究を含むR&D体制を強化したこと等から、国研・大学、国プロジェクトはシリコン半導体の研究から遠ざかった。1990年代に日本の半導体企業が、アジア勢の台頭による多極化や、日本市場の相対的縮小により一時の勢いを失ったため、産官学プロジェクトによる挽回のための足固めを鋭意進めているが、リソースが十分では無いという反省点を残している。

ナノテクノロジー・材料技術の研究は、日本の公的研究機関・大学・企業の研究所が長期的に行っており、世界的にも高いポテンシャルを有している。今やそれらを半導体技術を含むエレクトロニクスと融合することで、ナノエレクトロニクスを構築し、新たな基幹産業の創出に繋げる時期を迎えつつある。ナノエレクトロニクスの研究を行っている日本の公的研究機関・大学・企業の研究所が、共通の場で一堂に会し、実用化へのステップや新たな企業輩出を行い、日本のグローバル化したエレクトロニクス・半導体企業のアプリや蓄積した技術と組み合わせることで、日本に新たな新産業創出と繁栄をもたらされると期待される。半導体製造装置企業や関連する材料企業も参加することも重要である。今度は産官学連携のリンクを切らず、海外をも巻き込む形で、日本の場に確固としたナノエレクトロニクス研究拠点を保つことで、日本が21世紀のナノエレクトロニクスが創出する新産業の推進役として、世界をリードし続けることができると考えられる。



大学・独法・産業界のリソース結集による新基幹産業創出へ

1-5 ナノエレクトロニクスの戦略的位置づけ

ナノエレクトロニクスは、日本の次世代基幹産業創出の源泉であり、ナノエレクトロニクス研究で世界をリードすることは、日本の国家的戦略として位置づけることが必要である。

1) 競争力の源泉

日本が得意とするナノテク・材料技術と蓄積した半導体を含むエレクトロニクス技術との融合により環境調和型ユビキタス社会を実現、エレクトロニクス産業の競争力源泉とし、IT/ネットワーク技術が融合した安全・安心なユビキタス社会を提供するとともに、環境・エネルギー分野の産業を活性化し、新しいビジネスや産業を創出し世界へ先駆けて発信する。

2) 付加価値創出

半導体技術は微細化が極限近くまで進み、プロセスの複雑化と投資の巨大化が進んだ結果、研究開発のグローバル化・集約化が加速されている。一方半導体応用市場は安定成長の時代に入り、アプリケーションの多様化とビジネスモデルの多様化が進んでいる。今後は、半導体応用技術による付加価値確保に加えて、CMOS技術とナノテクノロジー技術との融合による新たな付加価値創出が重要である。

ナノエレクトロニクスの産業競争力上の効果をまとめると以下の通りである。

・ナノエレクトロニクスが21世紀社会の支柱

ナノエレクトロニクスは、システム・パフォーマンスの向上と環境に調和したシステムを同時に実現する力があり、21世紀に必要とする多くの機器やアプリケーションを生み出す。個人・家庭から公共面にいたる安全・安心の確保、エネルギー・食糧の自給に対し貢献する。2030年には国内でもGDP換算80兆円以上の機器市場を支える。

・世界に発信する技術イノベーションの源泉

日本はナノテクノロジー・材料技術の研究で高いポテンシャルを有し、日本が培った半導体装置・材料技術、半導体・エレクトロニクス技術と融合させることで、日本の場に世界的ナノエレクトロニクス研究拠点を確立することができる。拠点を足場に実用化へのステップや新たな企業輩出を行い、日本が21世紀のナノエレクトロニクスが創出する新産業の推進役として、世界を先駆的にリードできる。

・日本の新基幹産業創出の源泉

ナノエレクトロニクス研究拠点が生み出す先駆的技術が、日本のグローバル化した半導体製造装置企業・関連材料企業・半導体企業・エレクトロニクス企業のアプリや蓄積した技術と組み合わせることで、世界を市場とした新たな新基幹産業が創出され、日本の新たな繁栄がもたらされる。

第2章 強化すべきナノエレクトロニクス研究テーマ

2-1 強化すべきナノエレクトロニクス研究テーマ

これまでに述べた背景とナノエレクトロニクスの戦略的位置づけを背景として、同時に検討を行った JEITA（社団法人 情報技術産業協会）ナノエレクトロニクス研究会より、日本として強化すべきナノエレクトロニクスとして、下記4分野10テーマが提示された。

1. シリコンベース・ナノエレクトロニクス

スケーリング CMOS 技術をベースとして、日本の強みである光技術やカーボン材料などのナノ材料技術との融合によって半導体の付加価値を高め、半導体産業の進展とともに新しい産業創出を狙う。

＜研究テーマ＞①ナノ CMOS、②シリコンフォトニクス、③カーボンエレクトロニクス

2. 革新的電子デバイス

電荷以外の物理量で情報処理を行う論理デバイスや、まったく新しい材料や物理現象を利用した記憶デバイスの開発を行い、CMOS を凌駕する革新的電子デバイスの創出を狙う。

＜研究テーマ＞④ノンチャージロジック、⑤新メモリ

3. アプリドリブン・ユビキタスデバイス

環境調和型ユビキタス社会実現に向けたアプリ指向の研究開発として、エネルギー有効利用のためのナノ材料デバイス技術や、人の安心安全を支えるセンサーネットワーク技術、人と環境に優しいフレキシブルエレクトロニクスの研究開発を行い、次世代産業創出を狙う。

＜研究テーマ＞⑥エネルギー変換材料、⑦センシング、⑧フレキシブルエレクトロニクス

4. ナノエレクトロニクス共通基盤

ナノエレクトロニクスの研究開発を支える共通基盤技術として、シミュレーション技術、評価技術、データベースの蓄積とデータマイニング技術を開発、統合するとともに、ナノ製造技術の劇的な製造コスト低減と環境負荷低減を可能とする新しい製造技術を開発する。

＜研究テーマ＞⑨ナノデバイスの知的設計研究開発、⑩ナノマニュファクチャリング

①ナノ CMOS に関しては、半導体に新材料や新たな動作原理によるデバイス技術を付加することにより、従来の半導体の限界を超える高性能化・低消費電力化が期待でき、低電力サーバーを含むグリーン IT 実現に貢献することができると考えられる。

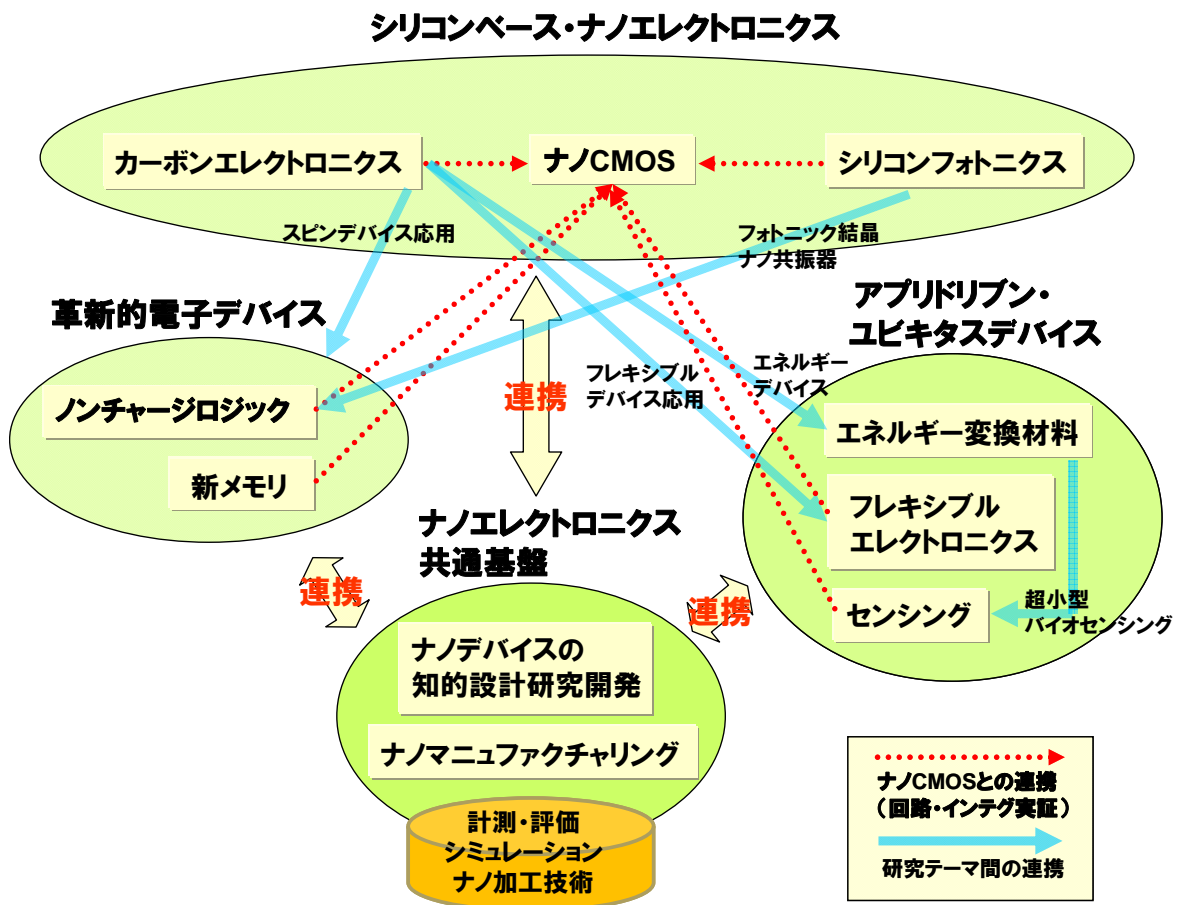
②シリコンフォトニクスに関しては、電子と光の融合を実現することにより、筐体間、ボード間、チップ間的高速大容量データ伝送が、低消費電力・低コストで可能になると考えられる。さらに将来は情報処理を担う光集積回路への展開も期待できる。

③カーボンエレクトロニクス、④ノンチャージロジック、⑤新メモリ、⑧フレキシブルエレクトロニクスに関しては、環境調和型のユビキタスデバイスや新概念プロセッサ実現に貢献することが期待される。

⑥エネルギー変換材料、⑦センシングに関しては、自立型センシングネットワーク等、将来の社会インフラに求められるシステムの実現に貢献することが期待される。

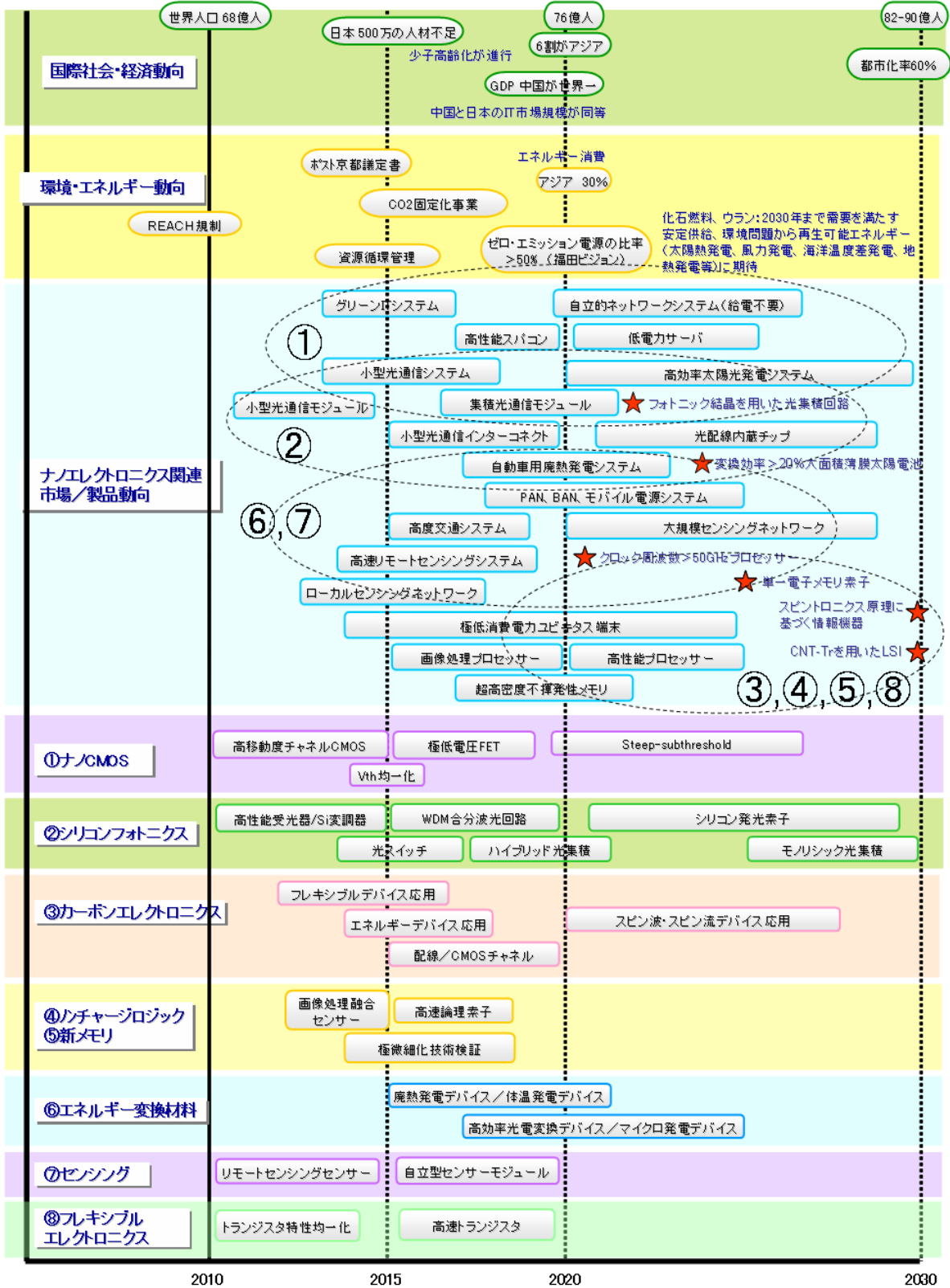
⑨ナノデバイスの知的設計研究開発、⑩ナノマニュファクチャリングに関しては、材料・プロセス・デバイス機能の計測・評価データ情報（データマイニング）シミュレーション情報や、革新的なナノ加工技術を、各研究テーマに提供することで、初期段階から効率的に研究開発を遂行できるようになることが見込まれる。

なお各研究テーマは、密接に連携することにより、材料・プロセス・デバイス・システム研究開発の垂直統合を図り、効率的な新デバイス・システム開発が可能なフレームワークとなっている。



期待されるナノエレクトロニクス研究テーマ間の連携

ナノエレクトロニクス・デバイス技術ロードマップ



※ (財団法人) 未来工学研究所「2030年の科学技術」参照

2-2 日本のナノエレクトロニクス関連プロジェクトと動向

1) ナノエレクトロニクス関連プロジェクト:

日本のナノテクノロジー予算は欧米に匹敵すると言われているが、その中でもナノエレクトロニクス研究は比較的行われていなかった。半導体シリコン分野との親和性が強く、公的研究機関、大学などでは、テーマ間の連携や、実証の機会に恵まれないという課題があった。近年欧米を始めアジアでもナノエレクトロニクスの研究が盛んに行われるようになった。

2007年度以降、経済産業省・文部科学省でナノエレクトロニクス関連のプロジェクトが開始された。両省は共同で「ナノエレクトロニクス戦略合同委員会」を設置し、両プロジェクト間で研究テーマの整合を行うなど画期的な試みが行われた。

—METI: ナノエレクトロニクス半導体新材料・新構造技術開発プロジェクト
(予算 2007年度実績 5億円: 8テーマ採択、各プロジェクト 5年間)

—JST/CREST: 次世代エレクトロニクスデバイスの創出に資する革新材料・プロセス研究(研究総括: 渡辺 Selete 社長)
(2007年度: 6テーマ採択、2008年度: 5テーマ採択、各テーマ 5年間、2007-14年度予算総額 48億円)

2) ナノテクノロジー拠点関連予算:

一方、ナノテクノロジー関連の研究拠点予算や、全分野に跨る研究拠点予算は、これまでもあった。しかし、ナノエレクトロニクスに絞られていないため、個々にはすばらしいテーマではあるが、それぞれの研究リソースが限られた状態から脱し得ないという課題があった。

—ナノテクノロジー研究拠点関連、COE 関連予算(2007年度)
・「ナノテクノロジー・ネットワーク」イノベーション創出事業(17億円/年)
・(先端融合領域イノベーション創出事業: 全分野 73億円/年)
・(グローバル COE プログラム: 全分野 340億円/年)等

3) 本 COCN プロジェクトと関連する「ナノエレクトロニクス研究拠点」の検討

現在本プロジェクトを始め、「ナノエレクトロニクス拠点構想検討」が様々な機関において行われている。目的とするところは共通性があり、相互に補完していると考えられ、最終的にはタイアップして今後の検討を進めていきたい。以下に紹介をする。

—産業技術総合研究所: NeIP/NeIS(Nano-electronics Innovation Platform / NeIP Society) 構想の提案(08.5)。NeIP 第2フェーズでは、2010年度以降に「ナノエレ拠点」を目指す。

—METI: ナノテク・アリーナつくば構想、ナノテク戦略官民連携実務会議発足(08.9)。ナノエレ拠点について COCN と連携。

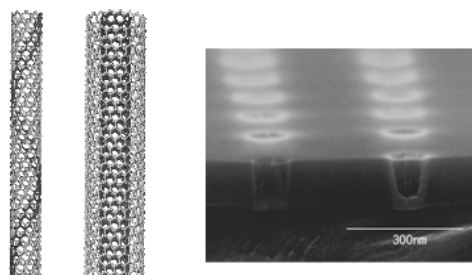
—総合科学技術会議のナノテクノロジー・材料 PT に、ナノエレクトロニクス TF 発足(08.8)

2-3 世界をリードする日本のナノエレクトロニクス研究

1) カーボンナノチューブ

ナノカーボン材料で、CNTは、日本で発見された。CNTの薄膜成長技術・デバイス応用技術で、日本は世界のトップに位置している。

現在、MIRAIプロジェクトで、hp32nm-LSIに適用するCNTビア配線研究を進めている。産総研においても、精力的にCNTデバイス開発を進めており、高性能トランジスタ (On/Off比 10^5 以上) や3次元圧電デバイスの試作に成功している。



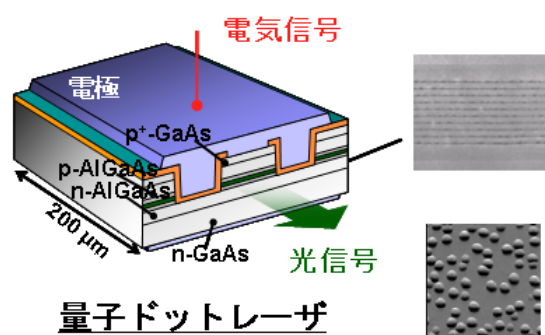
CNTの構造

CNTビア写真

2) 光デバイス (ナノフォトニクス)

化合物光デバイスでは、材料技術・デバイス応用技術で世界をリードしている。

特に、研究が盛んで、実用化に近いのが、量子ドットデバイスである。量子ドットレーザは、温度無依存で、10Gbps 直接変調を実証しており、量子ドット SOA (半導体光増幅器) でも $1.5\mu\text{m}$ 帯広帯域・高出力特性を実現している。



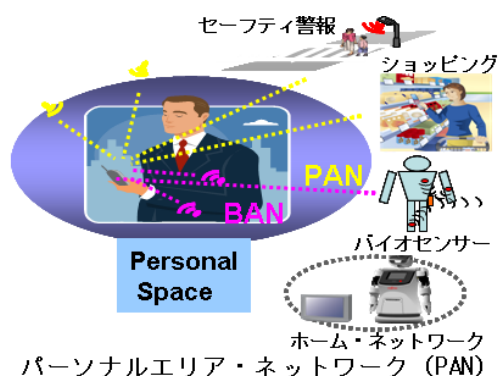
量子ドットレーザ

3) センシング

日本では、総務省主導で、ホームセキュリティやビル管理などのセンサーネットワークの研究開発が盛んに行われている。

特に、パーソナルエリア・ネットワーク (PAN) とセンシング (バイオセンシング、ホーム・リモートセンシング等) の融合が検討されている。

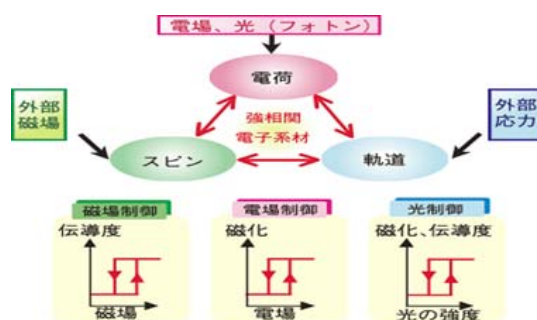
独法 (産総研、NIMS) においても、センシングに関する材料/デバイス/システム (ロボット含む) について、多くの部門で研究されている。



4) 強相関電子材料

日本では、既存のエレクトロニクスの延長では、到達できない革新的な量子効果デバイス・量子材料の創製を目指した研究が活発に行われている。

特に、産総研では、ペロブスカイト型マンガン酸化物での磁場・電場・光によるエキゾチックな「相制御」について研究されている。さらに、強相関材料の1つである導電性分子化合物 (TTF-TCNQ) を電極としたペンタセン薄膜トランジスタを作製し、従来の金電極に比べて著しく低いスイッチング電圧での動作に成功している。



強相関電子による相制御

2-4 国外のナノエレクトロニクスの現状

1) 各国・地域の動向

欧米を含む各国において政府や EU が、ナノエレクトロニクス研究に注力を開始し、新たなプロジェクトが開始されている。ナノエレクトロニクスの定義も各国・地域において異なる。現在の半導体技術の先を狙う Beyond CMOS とされる動きと、現在の半導体技術と異分野技術との融合を狙う More than Moore とされる動きである。ともに性能の強化と新たな付加価値を目指している。米国は Beyond CMOS が主力であり、欧州は More than Moore が主力である。日本は両面を狙っているが、テーマ的には Beyond CMOS が多い。

一方で欧米に見られる顕著な動きとしては、ナノエレクトロニクス研究と現在の先端半導体の研究開発、More Moore の動きがリンクして行われている。More Moore の研究開発については、各国・地域で行われてきたプロジェクトの他に、グローバル化した国際研究拠点での活動が最近盛んになってきている。国際研究拠点は、大学・公的研究機関や地方政府が中心になり、研究ビジネスや産業振興を目的とするもので、More Moore の国際的研究開発と、ナノエレクトロニクス研究の両方呼び込み、相乗的効果をあげながら行われ始めている。

米国

- ・ 米国政府は More Moore から Beyond CMOS に注力。

産業界 (SIA) と国 (NSF) が協力して、ナノエレクトロニクスに絞ったイニシアティブ SRC-NRI を 2006 年設立。全米に 4 つの大学グループ (WIN、INDEX、SWAN、MIND) を設置し、20M\$/年の資金で産業界のニーズの下に大学の Beyond CMOS を中心としたナノエレクトロニクス研究を支援している。各大学グループは、各大学の研究施設のほか州などからインフラや研究資金を提供されている。

産業界 (SIA) と国防省で、大学の More Moore も支援 (SRC-FCRP、40M\$/年)、設計からプロセスに至るまで、産業界のイニシアティブの下に大学を組み合わせで行われている。

- ・ NY州は IBM の支援の下に国際ナノテク拠点 Albany Nanotech を運営 (4200M\$/7年)

ニューヨーク州は、ニューヨーク州アルバニー校 CNSE に国際ナノテク研究拠点を設置、More Moore から Beyond CMOS に跨る研究開発を、IBM の強力な支援の下に、欧州・日本・アジアの企業も参画して行っている。Albany では、米国の国プロジェクト (NRI の INDEX) や民間コンソーシアム (Sematech) も活動している。Albany Nanotech の詳細は別途記載。

Albany 以外にもカリフォルニア州、テキサス州で研究拠点作りが行われている。

SIA : Semiconductor Industry Association

NSF : National Science Foundation

SRC : Semiconductor Research Corporation

NRI : Nanoelectronics Research Initiative

WIN : Western Institute of Nanoelectronics

INDEX : Institute for Nanoelectronics Discovery and Exploration

SWAN : Southwest Academy of Nanoelectronics

MIND : Midwest Institute for Nanoelectronics Discovery

FCRP : Focus Center Research Program

CNSE : College of Nanoscale Science & Engineering

Sematech : Semiconductor Manufacturing Technology

欧州

- ・ 欧州はMore than Mooreに注力。

EU 資金は従来基礎研究に投じられてきたが、EU 資金と各国政府・民間資金を合わせ、ナノエレクトロニクス研究のための ENIAC を創設（2007 年、総額 3000M ユーロ/5 年）した。また各国政府の組織である EUREKA では、各国政府と民間資金で、産業界寄りのナノエレクトロニクス研究のための CATRENE を創設（MEDEA+後継：2008 年、総額 6000M ユーロ/4 年）した。ENIAC、CATRENE とともに、More than Moore の研究を推進、アプリケーション企業も参加する。欧州のプログラムはファンディングが中心で、100nm 以下をナノエレクトロニクスと定義。

- ・ IMEC、Leti (MINATEC) は独自にナノエレ・ナノテクの国際研究拠点として研究を推進

IMEC は、フランダース政府の支援の下に欧州の大学間研究組織としてスタート。その後欧州の他、米国・日本・アジアの企業も積極的に勧誘し半導体の国際研究拠点としての地位を確立した。現在カバーする範囲は More Moore から More than Moore を含め幅広い。

Leti は、フランス原子力庁の公的研究機関であるが、ST の協力の下にグルノーブルにナノテクを中心とする国際研究拠点 MINATEC を創設し、海外企業も多く参加するようになった。

IMEC、Leti とともに国際研究拠点であると同時に、欧州のプログラム ENIAC、CATRENE のテーマにも参加すると考えられる。欧州のナノエレクトロニクスの研究網には、IMEC、Leti に続き Fraunhofer 研究所も参加している。

ENIAC : European Nanoelectronics Initiative Advisory Council

EUREKA : European Research Coordination Agency

CATRNE : Cluster for Application and Technology Research in Europe on Nanoelectronics

MEDEA : Microelectronics Development for European Application

IMEC : Inter-University Microelectronics Center

Leti : Laboratoire d'Electronique et de Technologie de l'Information

MINATEC : Centre for innovation in micro & nanotechnology

アジア

- ・ 韓国、台湾、中国、シンガポール等においても、大学・国研向けにナノエレプロジェクトやナノ・ファブの建設が盛んに行われている。

2) 各国のナノエレクトロニクス拠点例

・ Albany Nanotech

45nm から 22nm までを視野に入れた More Moore の研究が主体。

同じ棟にある大学主体の INDEX で More Than Moore, Beyond CMOS を手がけている。

1. 研究インフラ

- ・ 2001 年、ニューヨーク州立大学アルバニー校 CNSE に設置された研究センターで、250 社のインダストリアルパートナーが所属。IBM は、150 人が常駐（300 人に増員予定）。

AMAT、東京エレクトロンは、主力製品（成膜、エッチ、CMP 装置）を導入。

2. 産業化を促進する施策

- ・ Joint R&D Contract:

大学と企業が 1 対 1 の契約を結び、大学がパートナー企業を選択紹介する。

- ・ Buy Access :

企業がフィーを払い大学の成果へのアクセスを得る。IPR は企業が保有（Work For Other 方式）



• Sponsored Research:

企業がテーマを決めて複数の大学に提案募集を行い、提案を比較検討した企業が、契約先を選定。研究資金は企業が負担。IPRは大学が保有し、大学が企業にライセンスする。

3. INDEX

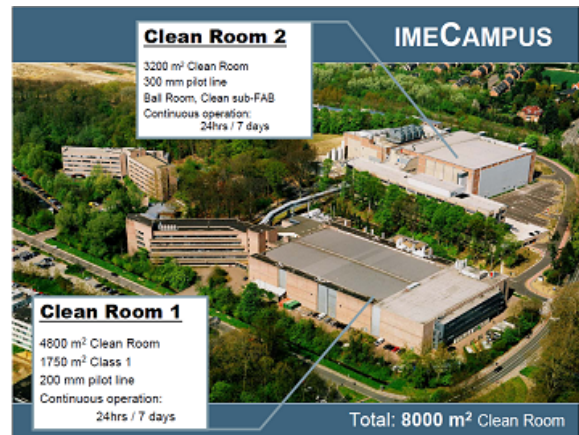
- INDEXは、NSFとSIA（米国半導体工業会）の会員企業のコンソーシアムNRIによって組織されたセンター。NSFとNRIが、それぞれ年間100万ドルを出資。
- Beyond CMOSに焦点を当て、スピントロニクス、マグネティックデバイス、分子デバイス（CNT/グラフェンデバイス等）を研究。

• IMEC

45nmから16nmまでを視野に入れたMore Mooreと、More Than Mooreの研究を手がけている。

1. 研究インフラ

- 1984年、Flanders州政府によりNPOとして設立。カソリック大学（KUL）の半導体関係者70人が移行。初期投資は、62M€。
- 4800m²の旧CRと、2004年にオープンした3200m²の300mmウエハ対応の新CRを所有。2008年度の収入は、260M€（Flanders州政府からの42M€含む）、人員は1650人以上。



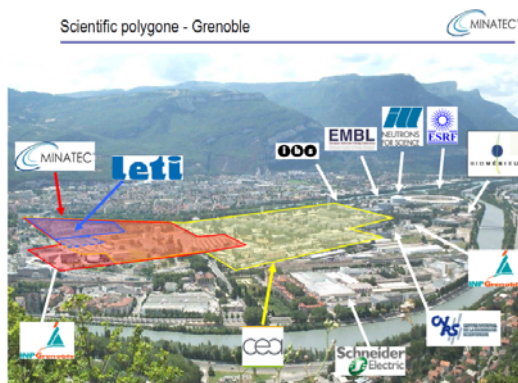
2. 基本コンセプト

- 政府からの独立性：
政府は投資するが、研究内容に干渉しない。経営に対して長期的なチェックは行うが、短期的な縛りはしない。独立したNPO。
- 産業からの独立性：
IMECがロードマップを描き、これにリスクシェアを期待する企業とパートナー契約を結ぶ。複数社に共通する部分をIMECが担当し、個々の商品化は企業が行う。IMECがロードマップや技術の基本プランを提示する点の特徴。
- 教育活動の充実：
Ph. D. 学生（2005年で210人）を非常勤雇用。費用は元の大学持ちで、IMECは設備を提供する。

• MINATEC

2001年にMINATEC (Centre for innovation in micro & nanotechnology)プロジェクト発足、順次インフラ整備が行われ、2006年6月に完成。

- 投資額、LETI出資を含めて400M€。クリーンルーム面積11,000m²、4000人（内研究者1900人）。年間予算186M€。CEA-LETI グルノーブル研究所とグルノーブル工科大学（INPG）を中心とする産官学連携マイクロナノテクノロジーイノベーションセンター。
- 教育：二つの大学、大学間マイクロエレクトロニクスセンター、職業訓練センターを整備。
- 研究：CEA-LETI、CEA、INPG他の共同ラボの設置。
- 産業的活用：企業向けの300mmパイロットライン、2,650m²のクリーンルームを有する先端技術研究棟設置



グローバル研究拠点（フランスのシコナルプス）



グローバル研究拠点 MINATEC 部分の拡大

第3章 ナノエレクトロニクス研究テーマの提案

3-1 強化すべきナノエレクトロニクス研究テーマの日本での位置づけと課題

1. シリコンベース・ナノエレクトロニクス

①ナノ CMOS

我が国は個別のナノ材料技術やナノプロセス技術については高度な水準にあるが、CMOS 実証を目指す動きは鈍い。半導体製造装置やナノ材料合成を始めとする材料技術についての総合的な強みと、世界をリードする Si LSI 技術を融合し、**長期的な視点に立って CMOS の究極像を創出し実証する展開が必要。**

②シリコンフォトニクス

米国では DARPA、NSI を中心とする巨額の投資が本分野になされており、メニコアやオンチップスパコン向け光配線の研究が加速している。欧州においても IMEC のファブを利用した Si フォトニクスの研究が加速している。**我が国は、光デバイスにおいて研究・ビジネス共に世界をリードしてきたので、CMOS 技術と光技術を融合する本研究領域は本来強い分野であるべきであるが、遅れている。大型プロジェクト発足、ファブ設置などで強化すべきである。**

③カーボンエレクトロニクス

カーボン材料は、日本が得意とする分野である。特に、CNT（カーボンナノチューブ）は日本で発見され、国の研究支援下で、**その合成技術・応用技術で世界をリードしている。**しかしながら、米国では、INDEX や SWAN とよばれるナノエレクトロニクス研究拠点において、本分野の研究を積極的に進めており、グラフェンの研究では先行している。一方欧州のナノエレクトロニクス拠点である IMEC においても、本分野の研究が強化されており、日本の CNT 配線プロジェクト (MIRAI) に相当するプロジェクト “VIACARBON” が開始された。**日本は本分野の知恵と技術を結集し、世界をリードしていくべきである。**

2. 革新的電子デバイス

④ノンチャージロジック

磁性物理の研究、強相関物質の研究では進んでいる分野もあるが、デバイス応用までは進んでいない。将来デバイス技術の探索研究の着手、組織化という観点では、米国 SRC/NRI のリサーチベクトル提唱・研究体制の構築に比べて大きく出遅れている。我が国において、**産学連携により、産業界が本分野の研究をサポートし、成果を育て、産業応用を促進する組織が必要。**

⑤新メモリ

フラッシュメモリ高密度化では先行。MRAM などの新不揮発メモリに関してもいくつかの国プロが実施されており、我が国としては強い分野である。しかし今後、**デバイス実証、集積化実証する場を作らないと、産業応用において、欧米に遅れる可能性がある。**さらに、分子

メモリなど究極の密度をもつメモリに関する基礎研究については産学官連携による積極的な研究推進が必要。

3. アプリドリブン・ユビキタスデバイス

⑥エネルギー変換材料

日本は太陽光発電用光電変換材料、熱電材料といった創エネルギー材開発で世界をリードしている。Si系、化合物系の光電変換材料では世界最高レベルの効率を示す材料が開発されてる。しかし、米国ではR2Rの開発が活発化。高効率化はSi量子ドットの基礎研究、フルスペクトルPJが欧州で進行中。我が国も国策として本分野を強化すべき。

⑦センシング

既存センサを活用したシステム開発はあるが、新規センサの開発をベースにしたシステム開発はほとんど例がない。日本が開発を進めるナノエレクトロニクス技術を先進的に活用して、用途を見据えたシステムに有用なセンサを開発し更にそれらを基にした新規センシングシステムを構築することが必要。日本の持つ先端技術を活かすことで、積極的にこれらの分野において国際社会への貢献を果たすことができる。

⑧フレキシブルエレクトロニクス

有機TFTの基礎研究では日本が先駆的であったが、ハードモジュール、セットアップは欧州が積極的に開発中であり遅れをとっている。有機材料はドイツ、TFT基盤技術の研究は韓国や台湾が精力的である。高移動度のCNTを用いた塗布型TFT研究が世界で活発化している。また、日本で高移動度を実現したAOS(アモルファス酸化物半導体)も注目されるようになってきた。アプリ指向の研究を推進し本分野において世界をリードすべき。

4. ナノエレクトロニクス共通基盤

⑨ナノデバイスの知的設計研究開発

海外では国際的拠点の有する機能の中に、計測・シミュレーションが位置付けられている。TCADやEDAについては、欧米が優位である。特にメリーランド大は、この分野が強い。我が国では、個別の計測原理の開発や清浄表面上などの限定的な環境下での計測技術については、高度な水準にあるが、それらを統合して実用化されるには至っていない。ナノスケールシミュレーションにおいても、産業応用を標榜したものが散発的には行なわれているが、多くは、現象の理解にとどまり、開発密着型の例は日欧米を見てもほとんどない。一方、特にデータマイニングやインフォマティクスの構築は米国に遅れをとっている。

⑩ナノマニュファクチャリング

22nm世代以降のLSI微細加工技術としてはEUVが注目され、同時進行の形で日米欧で開発が進められている。一方、新しいナノ加工技術として注目されるナノインプリントは米国が先行するなど、革新的なナノ加工技術開発で日本はやや遅れをとっている。ナノテクによる産業競争力強化を図るためには、世界に先駆けて革新的なナノ加工技術を開発する必要がある。

3-2 ナノエレクトロニクス研究4テーマの提案概要

上記課題をベースに、強化すべきナノエレクトロニクステーマ10テーマの中から、先行して4テーマについて、タスクフォースを設置し具体的検討を行った。

第4章において、シリコンベース・ナノエレクトロニクスの3テーマ（「ナノ CMOS」、「シリコンフォトニクス」、「カーボンエレクトロニクス」）は、ナノエレクトロニクス研究拠点に集結して行う戦略的コア研究テーマとして。また「ナノデバイスの知的設計研究開発」は、つくばの公的研究機関の実績や蓄積をベースに、ナノエレクトロニクス研究拠点にて行われる研究テーマとして、それぞれ選択した。

1) ナノ CMOS

【提案の背景・理由】

CMOS は情報処理の主要デバイスである。今後のナノエレクトロニクスの研究開発でも、CMOS の優れた特性にナノテクノロジーの成果を取り入れて、総合的に性能向上を図ることが有効である。CMOS に基づく情報処理システムは社会の中核であるが故に、低電力化の要請が強い。増加の一途を辿っているデータセンターの消費電力を抑制する必要がある一方、ユビキタス情報システム、インプラント医療デバイス、ウェアラブルデバイス、センサーネットなど、多様な用途に対応できる圧倒的な低消費電力性および高速性を兼ね備えた集積デバイスを実現することに、社会的な要請が強い。今後、ユビキタス社会の中核となる、超低消費電力で信頼性の高いシステムを実現するために、ナノテクノロジーで培った原子・ナノレベルの材料制御や計測評価技術を CMOS に適用し、構造の立体化や製造容易性にも対応した、総合的なデバイス・材料・プロセス技術を構築することが必要である。

【日本の位置付け】

CMOS 微細化技術の開発では、インテル等のプロセッサ専門メーカーや最先端テクノロジーを戦略開発している IBM 等が先行している。日本では、モバイル機器、モバイル情報家電を中心に市場が発展してきた経緯があり、低消費電力化技術が活発に開発されてきている。現在でも、低電力プロセッサなど先端的な開発が続けられており、この分野での日本の半導体メーカーの技術力は世界屈指である。

今後 20 年を見通したとき、CMOS 技術は依然として基幹技術である可能性が高く、重要性は不変である。仮に、Moore の法則に従う集積度向上トレンドを追わない戦略を採るとしても、CMOS 技術革新の可能性を追求し続けることが必要である。一方、ナノテクノロジーを応用したデバイス開発については、世界的に拠点形成が行われている。我が国は個別のナノ材料技術やナノプロセス技術について高度な水準にあるが、様々な大学や研究機関に散在しているのが弱点である。従って、我が国のナノテクノロジーの先進性に、半導体製造装置や材料技術についての総合的な強みと、世界をリードする Si LSI 技術を融合し、長期的な視点に立って、CMOS 技術を主体とするナノエレクトロニクスの究極像を創出し実証する展開が求められる。

【研究開発（技術）の概要】

CMOS LSI の用途拡大の要求に応えるために、CMOS デバイスの極低消費電力化と、これに資するための、ばらつき低減、低電圧化を目的とする、次のような開発フェーズの異なるテーマを併走させ、総合的な研究開発を行う。また、単に極低消費電力デバイスの開発を目指すのではなく、

アプリケーションを視野に入れたアウトプットを目指す。回路レベル・アプリレベルあるいは製造技術的な視点により、必要な性能指標の設定と、要求に適合する技術の選択と実証を行う。中でも、極低消費電力のユビキタスシステム実現の要求に応えるデバイスを中心に置く。

1) シリコンベース極低消費電力 CMOS 技術の研究開発

CMOS の低消費電力化には、低電圧化が最も有効で、これまでも微細化に基づいて低電圧化が進められてきた。現在、微細化に伴ってトランジスタ特性ばらつきが急激に増加し、回路を正常動作させるために必要な電圧マージンの確保が困難になったことが、低電圧化を阻む主要因になっている。MIRAI プロジェクトにより、ばらつきの主因は、チャネルドーパント数の揺らぎであることが解明されつつある。このため、ドーパントを用いず閾値調整の行えるドーパントレス・トランジスタを開発する。ドーパントレス・トランジスタの実現には、SOI 構造や Fin 構造などの素子構造の研究と、閾値調整のための High-k/Metal 界面制御に代表される材料研究とが重要となる。これによって、0.8-0.5V 程度の低電圧でもマージンを確保して動作可能なトランジスタを開発する。

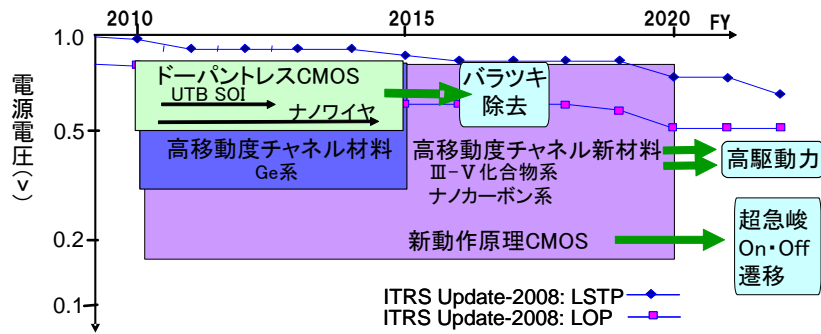
さらに、ドーパントレス・トランジスタの極限形として、ナノワイヤ・トランジスタの開発を行う。ナノワイヤ構造の採用により、ゲートの支配力を向上させて、相互コンダクタンスの増大と短チャネル特性の抑制、サブスレッショルド特性の改善を図る。また、準バリスティック輸送や、自己組織化プロセス、原子層制御プロセスなど、ナノ構造に特有の効果を最大限に活用することで、CMOS のバラツキ除去と低電圧化を同時に実現し、0.5 V 以下の動作電圧を目指す。

2) 新材料 CMOS 技術の研究開発

Ge および InGaAs を中心とする III-V 族化合物半導体、ナノカーボン材料 (CNT、グラフェン) を始めとする高移動度半導体材料をチャネルに用いることで、低電源電圧でも従来の Si CMOS を凌駕するデバイス性能の実現を目指す。これらの新規材料に適合するゲートスタック・ソース／ドレイン材料を含め、材料・プロセス・デバイス技術を体系的に研究開発する。

3) 新動作原理 CMOS デバイスの研究開発

通常の CMOS の動作限界を超える極低電源電圧で動作可能な、新しい動作原理の CMOS デバイスや新アーキテクチャ CMOS 技術の開発を行う。低電圧化のためには、スイッチング特性が急峻で電流の on/off 比が大きいことが必要である。一般に、トランジスタを OFF から ON に遷移させる際に、電流を一桁増加させるのに必要な電圧 SS (Sub-threshold Slope) は、室温で 60 mV/decade を下回ることができない。本研究では、この限界を超えて極めて急峻に OFF 状態から ON 状態へ遷移する新動作原理デバイスの探索と実証を行い、0.1 V に迫る極低電圧動作を目指す。量子力学的なトンネル現象やアバランシェ電流増幅、強誘電体ゲート絶縁膜の自発分極反転、金属・絶縁体相転移、ナノレベル低次元半導体材料に現れるバンドギャップの外部電界依存性など、様々な可能性を検討し、CMOS 動作実証に結びつける。さらに、このような通常の CMOS 以外の動作原理を取り込んで、システムの高度化・低消費電力化を実現するために、回路やアーキテクチャ技術も研究開発の対象とする。



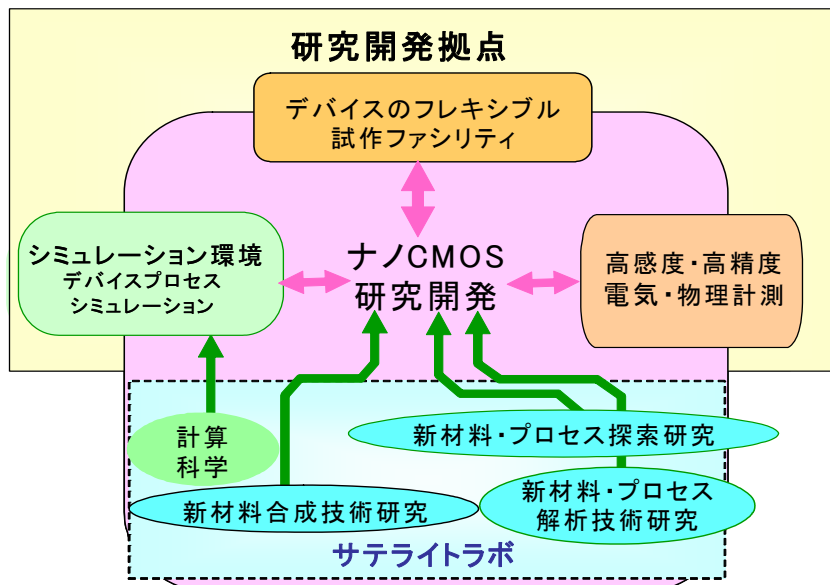
低電圧化の視点から見たナノ CMOS の研究開発項目

【組織・体制・予算規模】

1) 組織・体制

多種の材料・プロセスについて、位置づけと開発スケジュールを明確にした上で、総合的な研究を組織化する。共通基盤として、CMOS トランジスタ基本プロセスの試作環境とデバイス・プロセスシミュレータを含むシミュレーション環境が必要である。また、基盤インフラとして高精度物理計測技術を拠点に集積する。探索的な課題については、サテライトラボで検証を進める。CMOS 基本プロセスとしては、開発成果を速やかにデバイスメーカーでの集積化実証に結びつけるために、300 mmのウェハ径での、最先端技術世代のトランジスタ実証や、SRAM セル・基本回路レベルの作製ができることが、望ましい。

2) 予算規模：70 億円/5 年



ナノ CMOS の研究体制

2) シリコンフォトニクス

【シリコンフォトニクスの必要性】

近年、情報処理量や通信トラフィックの指数関数的な増大に伴って、コンピュータ・サーバでは配線の信号伝達速度や集積度の限界を如何に超えるか、通信ネットワークでは、ネットワーク機器の消費電力増大を如何に抑制するかが大きな課題となっている。これらの課題は、如何に、小型・低消費電力で大量の情報を送受し、更にはスイッチングするかということに集約されるが、これまでの光技術では限界があった。シリコン細線光導波路技術を中心とした所謂シリコンフォトニクスは、光の強い閉じ込めを利用して微細な光導波路が形成可能であること、高い光電変換効率を利用した超小型の変調器・受光器が実現可能であること、CMOS と組み合わせることで光、電子回路を融合した高機能のデバイスの実現が見込まれること、などが特長である。また、量産性に優れたシリコンのプロセス技術を利用できることも大きな利点である。このようなシリコンフォトニクスは、従来の光技術の限界を超えて、上記課題の解決手段となるものと期待される。シリコンの微細光導波路、送受装置を用いた、チップ内、チップ間、ボード間のインターコネクションを実現することで、電気配線の限界を打破することが期待される。また、シリコンフォトニクスを用いて、小型・大容量の送受装置、小型・大規模・低消費電力の光スイッチなどが実現すれば、ネットワークのアーキテクチャの見直しまで含めた通信ネットワーク技術の変革につながり、大幅な低消費電力化と大容量化が実現できる。このように、コンピュータ・サーバ領域、通信ネットワーク領域で直面している問題の解決には、シリコンフォトニクスが不可欠の技術である。

【国家プロジェクトの必要性】

魅力的なシリコンフォトニクスデバイスであるが、その研究開発には従来とは違った進め方が必要である。これまでの化合物半導体を主体にした光デバイスでは、各社個別に小規模な化合物半導体用のプロセス設備を持って研究開発を進めることができた。しかし、シリコンプロセスでは大口径ウエハ（200mm、300mm）の使用、大型/高価格装置の使用、万全な汚染防止対策などが必要のため、各社それぞれにシリコンフォトニクス用のシリコンプロセスラインを持つことは経済合理性に欠ける。このため、シリコンフォトニクスのデバイス・プロセスに関わる共通課題の解決を図るような共同研究の仕組みが不可欠である。

すでにシリコンフォトニクス開発を狙って作られている海外の拠点を利用することも考えられるが、独自の新材料を用いた研究が難しいことや、シリコンフォトニクスの重要な技術やノウハウが海外に散逸し、国内に蓄積ができないこと、将来のシリコンフォトニクスの研究開発を担う人材の育成が困難なことなどのデメリットが大きい。

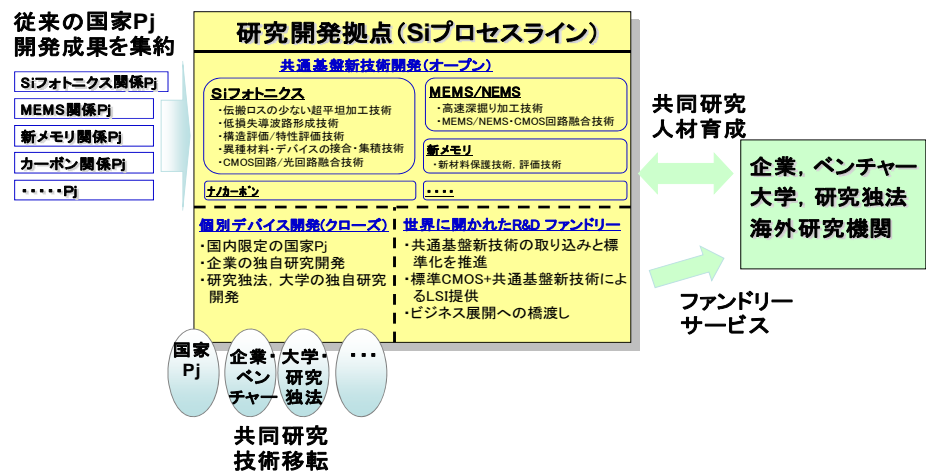
これらの問題を解決して、国内に強いシリコンフォトニクス技術を作り上げ、IP や標準化で世界をリードし、更に人材育成を効率的に行うには、国家プロジェクトとして国内にシリコンフォトニクスの研究拠点を設けることが望まれる。また、この研究拠点には、現状課題のみでなく将来予測される課題に対して効率的な研究開発を行うための産官学独連携の強い研究開発体制の構築が望まれる。

尚、シリコンフォトニクスのプロセスラインは、シリコンプロセス技術をベースとする MEMS や新メモリ、ナノバイオチップなど他の技術領域と共有し、これら技術の融合による新しい技術創成の揺籃とすべきものである。

【プロジェクト研究開発の組織体制】

光配線技術、光電子集積化技術の導入や新材料導入の容易なシリコンプロセスラインを中核とした研究開発拠点を作ることが必要である。この拠点では、一通りのCMOS試作が可能である

とともに、チップ間、チップ内（SiP、SoC、グローバル配線）配線導入が考えられる各種の新デバイスの集積化が可能な装置の構成が望まれる。150～300mm ウエハラインにおいて、光電子



CMOS 融合デバイス開発拠点案

集積が可能なR&Dファウンドリ機能を他拠点とのウエハ交換が可能で、MEMS、新メモリなど各種デバイスと共用で使える必要がある。シリコンフォトニクスで活用するという観点では、最終的にはナノ構造制御や電子デバイスとの集積化が重要であり300mmの最新の微細加工技術を用いることが理想的であるが、装置が共用できる範囲においては、ウエハ口径が小さいところからスタートし、集積度を上げていく段階で大口径ウエハに展開していく形が望ましいと考えられる。また、他拠点、ファブとの連携により、LSIとの集積化検証を可能にすることが望ましい。拠点でのプロセスが参画企業もしくはファウンドリで展開可能とすべく、プロセス標準化に向け強く発信していくことが必要である。また、MIRAI、ナノ量子連携など国家プロジェクト成果を集約するとともに、今後の各種国家プロジェクト活用の中核として利用できる長期的な視点に立った体制構築が望ましい。さらに、世界をリードする強い拠点となるためには、産官学独連携のシリコンフォトニクス共通・標準基盤技術だけでなく、単独・個別デバイス研究でも企業・大学などが利用できる体制とし、広く活用されるようにしておくことが重要である。

【プロジェクトの予算規模】

シリコンフォトニクス技術の開発には基本的なシリコンプロセスが可能な標準 CMOS 試作ラインとこれらの装置を維持するためのスタッフが必要となるが、これは MEMS、新メモリなど他のデバイスの研究開発とも共通に使えるものと考えられる。このため、ここではこの標準 CMOS ラインの運営費用については取り上げない。

シリコンフォトニクス技術の研究開発で必要となる専用設備（超平坦エッチング装置などの製造装置や評価装置）の費用とデバイス・プロセス開発費用は、以下のように見込まれる。

専用設備の費用：15～20 億円/5 年

デバイス・プロセス開発費用：25～40 億円/5 年

尚、シリコンフォトニクスの世界的な研究開発拠点とするためには長期的な視点が必須であり、時限的体制に終わらないように、第1フェーズ5年、第2フェーズ5年のような形で継続性を前提とした計画とする必要がある。

3) カーボンエレクトロニクス

【提案の背景・理由】

Si LSI の高性能化は、微細化とブースターテクノロジー導入によって実現されてきた。さらなる高速化・低消費電力化に向け、ナノカーボン材料（CNT、グラフェンなど）は、微細、高移動度、高電流密度、高熱伝導、低スピン緩和などの物性的優位性から導入が期待される。トランジスタ応用では、グラフェンチャネルへの関心の高さに加えて、最近の CNT の半導体的/金属的選別技術の進展に伴い、環境負荷の小さい印刷プロセスによる基板を選ばないフレキシブルデバイスとしての期待も大きい。国際半導体技術ロードマップ(ITRS)では、今後リソースを投入すべき第一の革新的デバイス(Beyond CMOS)候補技術として、“Carbon-based nano-electronics”が選ばれている。一方、スーパーキャパシタや放熱材といったエネルギー応用も、実用に近いものとして期待されている。もともと固体化されたカーボンは、材料自身の環境への負荷が小さいことから、クリーンな材料と言える。材料メーカーによるナノカーボンの販売も日米アジアで開始されている。従来より炭素分野は日本がリードしてきた分野であり、幅広いエレクトロニクス応用が期待されるナノカーボン分野で、世界の中心となる研究拠点が日本に作られることが望まれる。

【日本の位置付け】

炭素繊維の研究分野は、日本が世界をリードしてきた分野である。例えば、PAN系やピッチ系炭素繊維は、ともに日本発のオリジナル技術であり、現在、日本企業が世界の生産量の7割を占めている。一方、ナノサイズの炭素材料でも、CNTは1991年に飯島澄男氏によって発見された日本発の材料であり、その合成やプロセス、デバイス応用研究において、日本は世界トップに位置している。一方、グラフェン研究に関しては、国内の大学や独法研究機関でトップクラスの研究がなされてはいるが、その裾の広さという点では欧米に遅れをとっている。

カーボンエレクトロニクスに特化した研究拠点は、世界的にもまだ例がない。個別テーマの研究は、米国のNRIナノエレ拠点やジョージア工科大のLSI配線Focus Research Centerなどで行われている。特に配線テーマは、欧州でもLETIやIMECに加え、2008年からケンブリッジ大を中心としたグループによる(日本のMIRAIプロジェクトに類似した)“VIACARBON”プロジェクトが開始された。海外企業では、IBMやIntel、SamsungがFETや配線などの研究を進めている。日本企業では、CNT配線でMIRAI-Selete(富士通、東芝、パナソニック、ルネサステクノロジ、アルバック)が世界トップに位置し、フレキシブルFETでもNECが先行した技術を持っている。

【研究開発(技術)の概要】

ここでは、ナノカーボン材料を、CMOSの究極のチャネル材料、革新的電子デバイス基盤材料、配線材料、放熱材料、高比表面積材料、フレキシブル材料として捕らえ、1)材料技術、2)配線(含む、スピン配線)、3)スピndeデバイス等の革新的電子デバイス、4)エネルギーデバイス(キャパシタ、フォノン設計/放熱)、5)フレキシブルデバイス、6)センシング・ユビキタスデバイスなど、幅広くカーボンエレクトロニクスの基盤研究を行うべきである。

1) 材料技術(成長技術、材料プロセス技術)

制御されたCNTおよびグラフェンの合成技術の研究を行う。主な研究対象はCVD法であるが、SiCの表面熱分解法なども含む。具体的には、CNTに関しては高品質成長、長さ・密度・方向制御成長、直径・層数制御成長、半導体・金属制御成長など、グラフェンに関してはシリコンなど通常の基板上に形成する技術自体が未確立であり、基板上成長、触媒フリー成長、高品質成長、

大面積成長、層数制御成長、低温成長など。CNT、グラフェンのいずれの場合も、大口径（300mm）基板上に様に形成することが1つの目標となる。合成したCNTやグラフェンのデバイス試作評価は、ナノCMOSグループと連携して行う。材料プロセス技術としては、マクロな量の半導体・金属分離、パッシベーション、ドーピング、均一分散、触媒除去などがある。

2) 配線

日本が世界トップを走るCNTのLSIビア（縦）配線技術の開発については、32nm以細の適用を念頭に大口径基板による技術開発を行う。横配線に関しては、CNTに加えて、多層グラフェンの検討を行う。ここでは、バリステック伝導を活かし、Cu配線を上回る電気伝導特性の実証を目指す。グラフェン研究では、高品質なグラフェン合成や、グラフェン端のパッシベーションなどが開発項目となる。また、LSIの高付加価値化を目指したアクティブ配線や、3次元集積のための基板貫通配線、またカーボン配線のための独自レイアウトなど、設計面の検討も含む。またスピン緩和時間が長いという物性を利用した、スピン配線に関する基礎的研究を行う。

3) 革新的電子デバイス

スピンデバイスや単電子デバイス、NEMSデバイス、新メモリなど、革新的電子デバイスの研究を行う。例えば、炭素のスピン緩和時間が長いという物性を利用した各種スピンデバイスの研究を行う。グラフェンへのスピン注入、スピン伝導の制御、スピン波の発生・検出など、デバイス応用研究は今後の課題である

4) エネルギーデバイス

エネルギー貯蔵や放熱デバイスなど、エネルギー応用デバイスの研究を行う。ここでは、ナノカーボン材料の高比表面積、柔軟性、一次元性、高導電性、高熱伝導性といった物性を利用する。CNTを電極材料とした超小型のスーパーキャパシタや燃料電池は、薄膜化が可能でかつフレキシブルなため、基板上に直接貼ったり、モバイル機器のわずかな隙間に折り曲げてはさみこんだりでき、電池交換時や瞬間停電時のバックアップ電源やユビキタスデバイスの電源として使用できる。LSIや光デバイスの発熱は深刻な問題であり、高い熱伝導度を活かした冷却技術、例えば、集積回路中に組み込まれた、CNT冷却バンプ、サーマルインターフェース材料などの研究を行う。またフォノンエンジニアリングによる材料設計手法の検討を行う。

5) フレキシブルデバイス

ナノカーボン材料はフレキシブルで機械強度が高いことから曲げに強く、電子移動度が高いなど材料として好適である。有力な作製法である印刷プロセスは、製造コストと環境負荷の低減が期待される。ここでは、材料、インク化、印刷プロセスなどの要素技術研究開発を行う。まずは諸特性に優れたCNTに力点を置いた研究開発をおこなう。CNTの半導体・金属を分離法としては、産総研が最近開発した手法の高度化・スケールアップに注力する。

6) センシング・ユビキタスデバイス

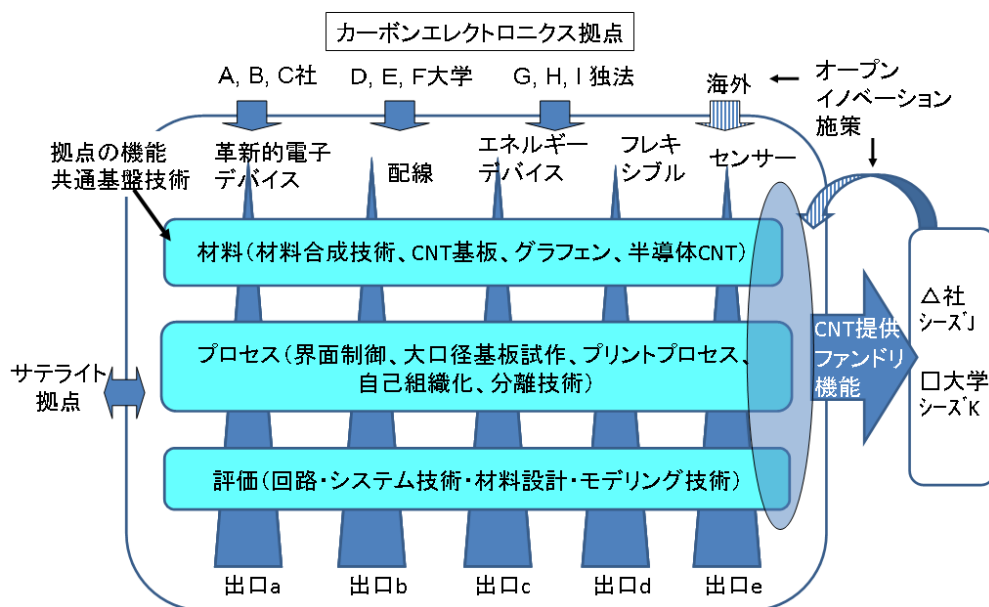
ナノカーボン材料の高比表面積、化学的修飾能等を利用して、ガス、バイオ分子、圧力、赤外線などの化学・物理の外的刺激を検出するセンサーの研究を行う。また、同材料の強靱性、軽量性等を用いた、アクチュエーター、人工筋肉、などのナノメカトロニクスの研究を行う。これらの研究を遂行するには、ナノカーボン材料と異材料の複合化技術、界面制御技術や、リソグラフィ・プリンティングなどによるプロセス技術が重要となる。さらに、これらのデバイスと既存のSiデバイスとの融合技術を研究する。このようにして開発されたユビキタスデバイスは、例えば、ロボットの皮膚・筋肉、人体に貼り付ける診断機器や、マイクロ・バイオチップ上に配設されたセンサーによる超小型化学・生物分析機器を実現する。

【社会へのインパクト】 IT そのものの高性能/低電力化、エネルギー貯蔵、エネルギーハーベスティング、低環境負荷作製プロセスなどを通して、環境と経済を両立する省エネ・環境調和型ナノエレクトロニクスの実現を可能とする。また研究開発拠点は、本分野における産学独あるいは内外の一流研究者の集まる「世界のカーボン拠点」になること、また大口径ラインを使った半導体試作を行えるなど、今後重要となるナノエレクトロニクス分野の人材育成に貢献する。

【組織・体制・予算規模】

1) 組織・体制

ここで扱うテーマは、プレコンペティティブな研究領域にあり、日本がトップランナーであり、最終的に日本の半導体産業界全体の発展につながるように、産学独連携体制を構築する。日本がトップランナーであること利用し、オープンイノベーションを目指して、海外の大学等の研究者を積極的に受け入れる。テーマごとに連携チームを構成、必要に応じてサテライト拠点を設置する（特殊な装置利用や大学など）。拠点内には、材料、プロセス、評価に関する共通基盤技術が構築され、各チームはこれらを活用してプロジェクト研究を進める。配線テーマに関しては、大口径基板実験を効率よく行うため、基板の入手や一部プロセスの外部活用など、基板の出し入れも検討する。また新しい研究組合法等を活用し、共通基盤技術の中で、外部提供可能なもので、ファンドリビジネスや材料供給ビジネスを行える組織を別途設ける。



カーボンエレクトロニクス研究拠点の組織とスキーム

2) 予算規模

予算規模は、100 億円/5 年間（初期の設備投資：約 20 億）で、人員数規模は当初 25～30 人（ただし CMOS ラインは除く）。期間は当初 5 年で、5 年後に継続の見直しを行う。設備に関しては、研究効率を考慮して、初期検討の段階では 3(4) インチ基板で行う。そのため参加機関や他の国プロ等で使用してきた装置を、拠点に移して使用する。配線テーマでは、連携先と基板をやり取りすることで実用に近い試作が可能であること、海外を含めた共同研究先が増えること、装置メーカーの参画促進などの理由から、300mm 基板で実験を行う。そのため、カーボン用 CVD 装置、触媒装置、CMP 装置を導入するとともに、300mm の Cu 配線工程（後工程）プロセス装置を確保する必要がある。

4) ナノデバイスの知的研究開発

【提案の背景・理由】

ナノエレクトロニクスの研究開発を、少ない環境負荷で効率的に進めるには、シミュレーション技術を活用し試作の選択肢を絞り込むことが有効である。ナノレベルでは材料特性が通常のバルク材料とは異なることに加え、異種材料界面の特性が支配的になる。また、デバイス特性が構造の差異に敏感になる。そのため、ナノデバイスの構造や作製プロセスを設計して、特性を予測するには、原子レベルからデバイス全体に亘るスケールで、材料物性と作製プロセス、およびデバイス動作特性を統合的にシミュレーションする技術が必要となる。

このような仮想試作による特性予測を確実にするには、立脚する材料データなどの基礎データが蓄積されていることと、シミュレーション結果が正しく検証されていることが必要である。このためには、良く管理された条件下でナノデバイスや関連する要素構造を試作し、必要なデータを計測して、データベース化しなければならない。この時、データマイニングの手法を活用して、数多くの試作・計測結果から有用なデータを抽出し、相互に関連づけて蓄積することが重要である。

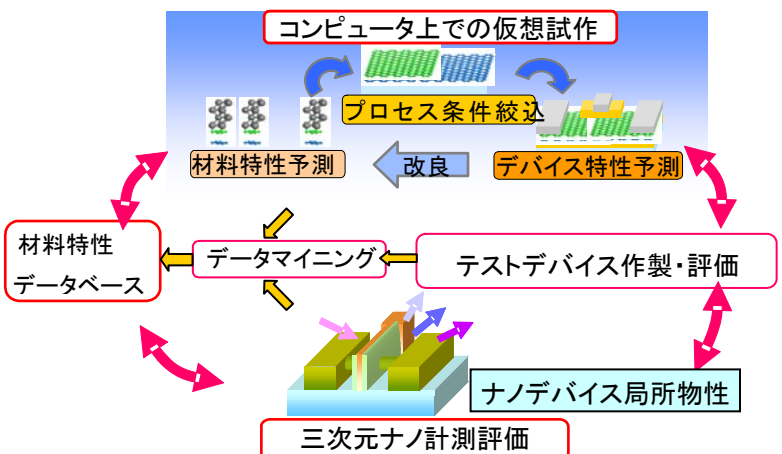
計測評価技術に求められる課題は、このようなシミュレーションのための検証と基礎データ取得に留まらない。ナノデバイスの研究開発や試作のためには、3次元的なナノデバイスの構造に対し、「ナノ」の分解能で必要な特性を的確に計測できる技術が必要である。これは、計測評価技術にとって、原理的な限界を超える要求であり、シミュレーション技術の援用無しに達成することは困難である。今では、多くの計測評価技術が、対象から直接、目的とするデータを取得するのではなく、計測結果からシミュレーションを介在して測定対象を推定する手法を用いている。

このように、ナノデバイスの研究開発や生産のための技術基盤として、

1) 信頼性の高い高度な計測評価技術、2) 原子レベルの物性・プロセス予測からデバイス動作までを連続的に扱える統合的なシミュレーション技術、3) 効率的で的確なデータマイニングおよびデータベース集積を、三位一体で備えた研究開発プラットフォームを構築することが必要である。

【日本の位置付けとプロジェクトとして行う必要性】

TCAD や EDA については、欧米が優位であるものの、日本でも大学などでナノスケールシミュレーションのための種々のプログラムが開発されており、産業応用に向けたナノスケールシミュレーションの機運が高まりつつある。計測技術について我が国では、計測手法の標準化を含め、それぞれの分析評価手法に特化した基礎的な研究が大学や国研を中心に推進されてきた経緯があり、ナノテクノロジーの研究開発成果などに基づいた個別の計測原理の開発や限定的な環境下での計測技術については高度な水準にあるが、それらは統合されて実用化されるに至っていない。



ナノデバイスの知的設計研究開発のスキーム

一方、データマイニングやインフォマティックスの構築は米国に後れをとっているが、インフォマティックスに関する研究活動は、各国、各研究グループが個別に開発しているのが現状で、かなり限られたものとなっている。

以上の状況を受けて、日本の技術力を強化するには、我が国に存在する優れた個別技術を統合して、有用なシミュレーション技術や計測評価技術などの技術基盤を構築することが求められる。このような技術は、新規デバイスの開発だけでなく、既存デバイスの特性や生産性・信頼性を向上させるためにも有用である。特に、適切な研究開発体制を整えれば、現在日本が海外に後れを取っているデバイスシミュレーションの分野で、新材料デバイス・ナノデバイスに適用可能なシミュレーション技術について海外に先行し、日本の先進的ナノデバイスの開発設計製造能力を大きく前進させられる。

【研究開発（技術）の概要】

ナノエレクトロニクスプロジェクトで取り上げるナノ CMOS、シリコンフォトニクス、カーボンエレクトロニクスなどのデバイスを主な対象とし、その他のデバイスへの適用も視野に入れながら、次のような研究開発を行う。

1. シミュレーション・プラットフォーム構築

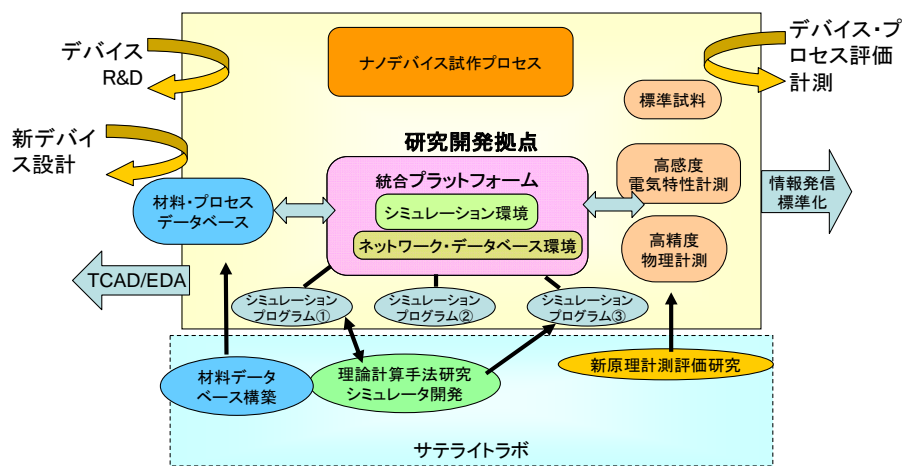
試作ツールとしての統合シミュレーション・プラットフォームを整備し、原子レベルからデバイス全体に亘るマルチスケールで、材料物性と作製プロセス、デバイス動作特性を連続的にシミュレーションできる技術基盤を構築して、ナノエレクトロニクスの研究開発を支援する。高度な計測技術に基づき、デバイス試作プロセスや計測技術の研究開発と連携して、ナノデバイスの諸特性を、実際の試作に先立って先行的に予測できるレベルまで、シミュレーション技術を向上させる。

2. ナノレベル計測・評価技術開発

ナノデバイスの構造・局所材料物性・ポテンシャル・ひずみなど、デバイス動作に本質的な特性を、3次元的にナノレベルの空間分解能で的確に計測・評価できる技術を研究開発する。併せて、複数の計測技術を統合的に活用する手法と、そのために必要な標準試料を開発する。

3. ナノエレクトロニクス・インフォマティックス構築

系統的なデバイス試作に基づく計測・評価データの蓄積により材料およびデバイス構造の局所物性・プロセスデータベースを構築し、コンピュータ上での仮想試作・特性予測と連携させることにより、信頼性の高い予測とデザインおよび計測評価を可能にする。この過程に適したデータマイニング手法と様々な種類のデータ全体を統合するナノエレクトロニクスインフォマティックスの体系を構築し、共通インフラとして公開してデファクト化を図る。



ナノデバイスの知的設計研究開発組織

【組織・体制・予算規模】

1) 組織・体制

つくば拠点に統合シミュレーション・プラットフォームおよびデータベースの基幹部分を構築すると共に、先進的計測技術の開発と集積を行い、研究開発目的に供する。新原理の計測技術やシミュレーション手法の探索的研究開発については、それぞれの要素技術やアイデアを保有する研究機関をサテライトラボとして組織化し、技術の醸成と選択を行う。

2) 予算規模：

初年度 10 億円（シミュレーション・ネットワークインフラ構築、評価装置整備などを含む）

2 年度以降 年間 5 億円×4 年

3-3 ナノエレクトロニクス戦略的コア研究テーマの応用市場と製品

ナノエレクトロニクス研究拠点で行われる戦略的コア研究テーマ候補であるシリコン・ベースナノエレクトロニクスの3テーマ（（「ナノ CMOS」、「シリコンフォトニクス」、「カーボンエレクトロニクス」））の応用市場と製品について示す。

・ ナノ CMOS

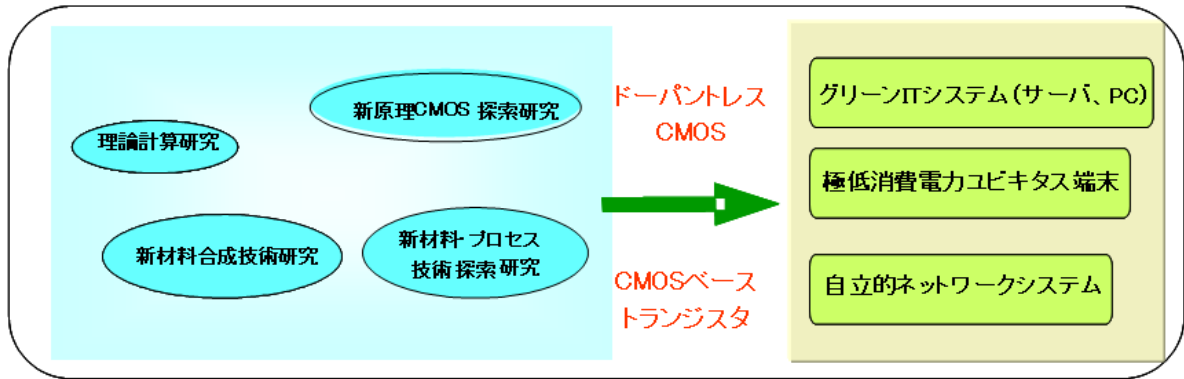
特性ばらつきがないトランジスタ、新材料（ナノカーボン材料、Ⅲ-V族化合物半導体）CMOS技術、新動作原理 CMOS デバイス技術により、サーバ、ルータ、PC等のグリーン IT システムの低消費電力を抑制する集積デバイス、さらには、ユビキタス情報システム、インプラントブル医療デバイス、ウェアラブルデバイス、センサーネットなど、多様な用途に対応できる圧倒的な低消費電力性および高速性を兼ね備えた集積デバイスを実現する。これにより、ユビキタス社会の中核となる超低消費電力で信頼性の高いシステム構築を目指す。

・ シリコンフォトニクス

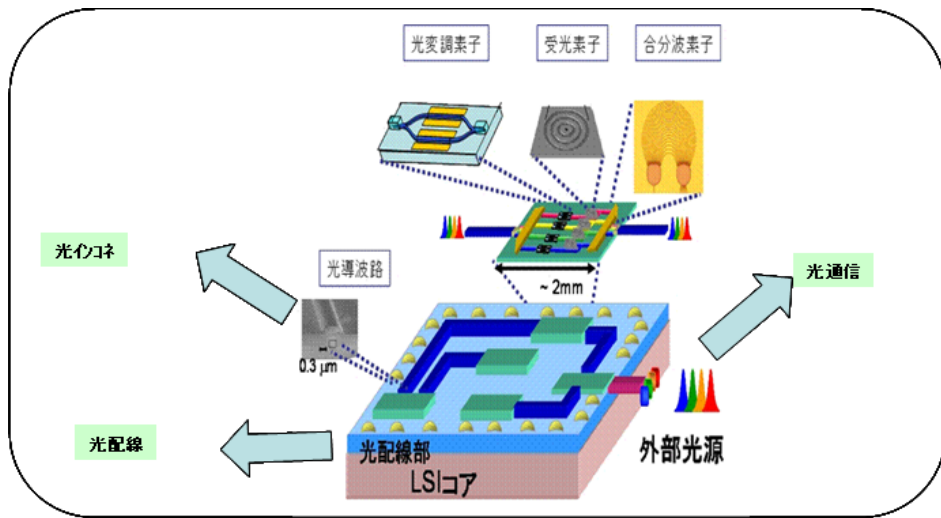
シリコン細線導波路・変調器・受光器などの光技術により、チップ内、チップ間、ボード間のインターコネクション、および通信ネットワークにおける送受装置の小型化・大容量化や、小型・大規模・低消費電力の光スイッチを実現する。これにより、大量の情報を、低消費電力で、送受信、スイッチングできる通信ネットワーク、コンピュータ・サーバの大幅な低消費電力化を目指す。

・ カーボンエレクトロニクス

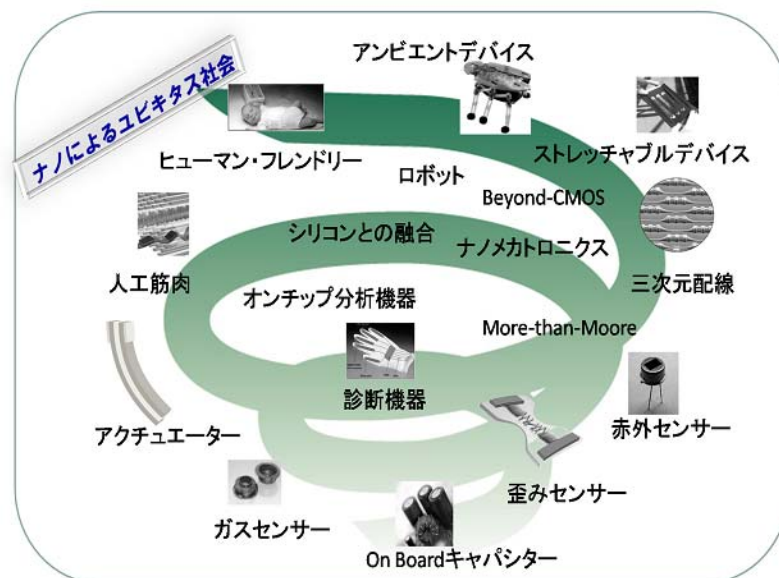
ユビキタスデバイスでは、フレキシブル性、頑強性、ウェアラブル性、軽量性などが重要になり、それらの特性に優れたナノカーボン材料がコアマテリアルになる。そこで、ナノカーボン材料の高比表面積、化学的修飾能等を利用して、ガス、バイオ分子、圧力、赤外線などの化学・物理の外的刺激を検出するセンサーを開発する。また、ナノカーボン材料の強靱性、軽量性等を用いて、アクチュエーター、人工筋肉を開発する。このようにして開発されたユビキタスデバイスは、例えば、ロボットの皮膚・筋肉、人体に貼り付ける診断機器や、マイクロ・バイオチップ上に配設されたセンサーによる超小型化学・生物分析機器を実現する。そして、将来は、車のハンドル・家やビルディングの壁などにユビキタスデバイスが分散配置され、自律的ユビキタスセンサーネットワークを構築し、次世代の情報通信社会の基盤プラットフォームに資するとともに、アンビエント生体センシングによる安心・安全な社会に寄与する。



ナノCMOSの応用システム/製品



シリコンフォトニクス応用領域



カーボンエレクトロニクスによるユビキタスデバイス応用

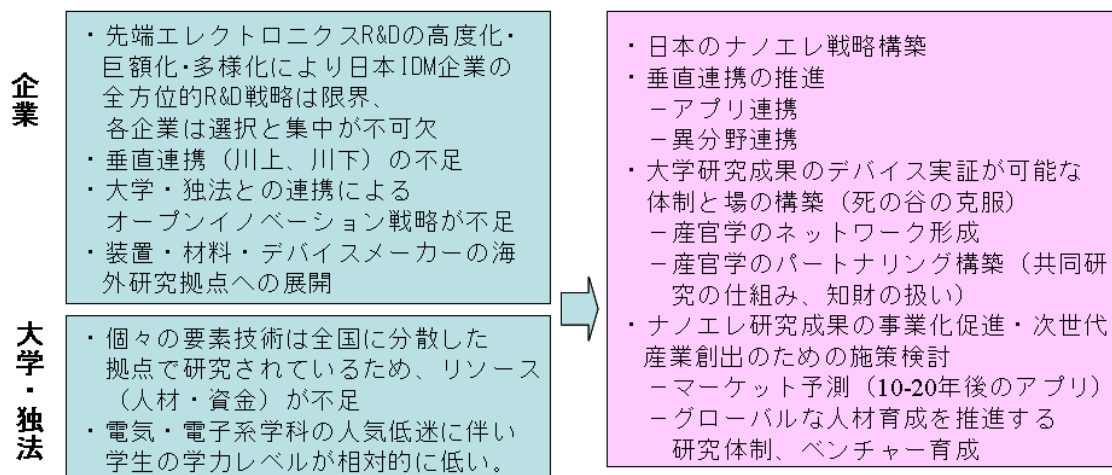
第4章 日本のナノエレクトロニクス研究拠点設置の提案

4-1 日本のナノエレクトロニクスの課題

ナノエレクトロニクスにおいても日本のポテンシャルは非常に高いが、これまで日本の高いポテンシャルが、産業競争力に結びつけられなかったのは何故か、以下にその要点を示す。

- 1) IDM 企業においては、全方位的 R&D 戦略が、先端エレクトロニクスの研究開発の高度化・巨額化・多様化により限界を生じてきている。各企業の事業においても選択と集中が不可欠であり、R&D も絞られてくる。今後の R&D は、限定された自らのリソースだけで秘密裏に行うよりも、オープンイノベーション戦略により、川上／川下の企業との連携や、大学・公的研究機関との連携など、ニーズ指向で行うことがスピードや競争力の点からも重要である。また事業や研究のグローバル化が進み、連携相手や切磋琢磨する相手を求めて、日本の装置・材料・デバイスメーカーは海外の研究拠点へ展開することが多くなった。日本に海外企業も集まれる研究拠点が無いことが、日本のポジションの相対的な地盤沈下に繋がっている。
- 2) 日本のナノテクノロジー予算は、欧米に匹敵し、大学・公的研究機関の研究も世界的水準である。しかし、それらの要素研究は全国の研究拠点到分散して行われているため、個々には予算・人員の不足が生じており、連携の試みも補完的である。海外研究拠点のように特色を持ち、内外から優秀な研究者／学生人材が結集するような形ではない。人材面でも日本のリソースだけでは、少子化と学生のエレクトロニクスの不人気と相まって樂觀できない。

日本のポテンシャルを、産業競争力に結びつけるには？



日本のナノエレクトロニクスの課題

3) それら課題を克服するためには、次のような対策が必要となる。

- ・日本の次世代産業を担うナノエレクトロニクスに対し、国レベルの戦略構築が必要である。
- ・日本の幅広い特徴を活かすアプリから材料までの垂直連携、異分野連携を推進し、アプリを指向した高付加価値のナノエレクトロニクスを創成する。
- ・大学・公的研究機関の研究成果のデバイス実証ができる体制と場を構築する。それにより、「死の谷」を克服し実用化への橋渡しを可能とする。更に産官学のネットワークにより、その場を通じて、全国のナノエレクトロニクス研究機関の共同研究と研究交流を促進する。
- ・ナノエレクトロニクス研究成果の事業化を促進し、次世代産業創出を促すために、国内外のアプリを含む産学官研究機関が交流でき、ベンチャーも輩出できるための場を提供する。

4-2 日本におけるナノエレクトロニクス研究拠点設置の提案

1. 分散して行われている日本のナノエレクトロニクス研究の成果を実証するための共通の場を設置し、アプリとの連携の機会を設けることで、実用化への繋がりをつける。特に実用化に繋がりやすいCMOSをベースとしたナノエレクトロニクスに注力する。
2. カーボンエレクトロニクスなど日本のリードするナノエレクトロニクスの分野において、産官学の叡智を結集することで、海外からも一目置かれるナノエレクトロニクス研究拠点を構築し、海外からの人材・ノウハウを呼び込み、日本の優位性を更に高める。
3. つくばにおいては、産総研、物材機構などの公的研究機関、大学、企業をはじめとして、日本のナノエレクトロニクス研究に必要な人材、施設が揃っており、つくばを連携のための拠点地候補とする。
4. 産総研ではこれまでCMOSに関する産官学研究プロジェクトが推進され、CMOSをベースとしたインフラ、知の蓄積、人材が揃い、また日本の将来を担うエマージング・アプリの研究も行われており、研究の幅とアクティビティから拠点における成果実証の場として活用する。

以上の観点から、

**産総研を中軸とした「つくばナノエレクトロニクス研究拠点」
の設置を提案する。**

4-3 ナノエレクトロニクス研究拠点の具体案

1) コンセプト

- ・実用化加速を支援する研究連携の場とし、公的研究機関、大学、ベンチャーなどのアイデア実証、集積化実証に活用する。
- ・ナノエレクトロニクス拠点を核として、全国の大学との連携をネットワークで実現する。
- ・ナノテクノロジーの様々な分野とのコラボレーションを実現するアリーナ構想の一環とする。
- ・オープンイノベーションを実現するオープンな開発環境を提供する。
- ・ナノエレクトロニクス拠点を、インターンシップなどを通じて人材育成・教育の場として活用する。
- ・高度な分析・計測・シミュレーション環境を提供する。

2) 特徴

- ・CMOS技術とナノテク・材料技術を融合した①ナノCMOS、②カーボンエレクトロニクス、③シリコンフォトリソグラフィの3テーマを戦略的コア領域とし、ナノエレクトロニクス拠点到産官学の研究人材を集結し、材料・装置・デバイス・システムの連携、並びに異業種連携を推進する。

3) 研究テーマとその推進

- ・上記戦略的コア領域研究(3テーマ)をシリコンベース・ナノエレクトロニクスとして、拠点での中心テーマとする。
- ・データマイニング、シミュレーションなどのナノデバイス知的設計、ナノマニュファクチャリングなどの共通基盤研究を拠点での公的研究機関を中心に推進する。
- ・センシング、エネルギー変換、MEMS/NEMS、フレキシブルエレクトロニクスなどのアプリドリブン・ユビキタスデバイス、更に Non Charge Logic、新メモリなどの革新的電子デバイスを産業界、大学、公的研究機関のサテライト研究機関と連携し、拠点を実証の場として活用できるように推進する。

4) 体制

- ・公的研究機関 AIST を中心とした産官学連携体制とし、ナノエレクトロニクス研究拠点の運営母体として、連携体もしくは単一法人を設置する。
 - 連携体： (例) 公的研究機関と研究組合(民間)をプロジェクト型で結合
 - 単一法人： (例) 産業界、公的研究機関、大学が連携して参加できる新法人
- ・つくば地域の研究機関(例：AIST、NIMS、筑波大学、地域産業)との連携を強化し推進する。
- ・連携体もしくは単一法人のトップマネジメントによるリーダーシップと、戦略的マネージングボードの設置による運営を行う。
- ・戦略的コア領域を含め海外からの研究への参加を推進するテーマとともに、国内に限定したテーマも推進するなど、フレキシブルなメンバーシップ体制とする。
- ・マネージングボード構成メンバーは、運営上当面は国内に限定するが、将来アジア地域の加入も考慮する。

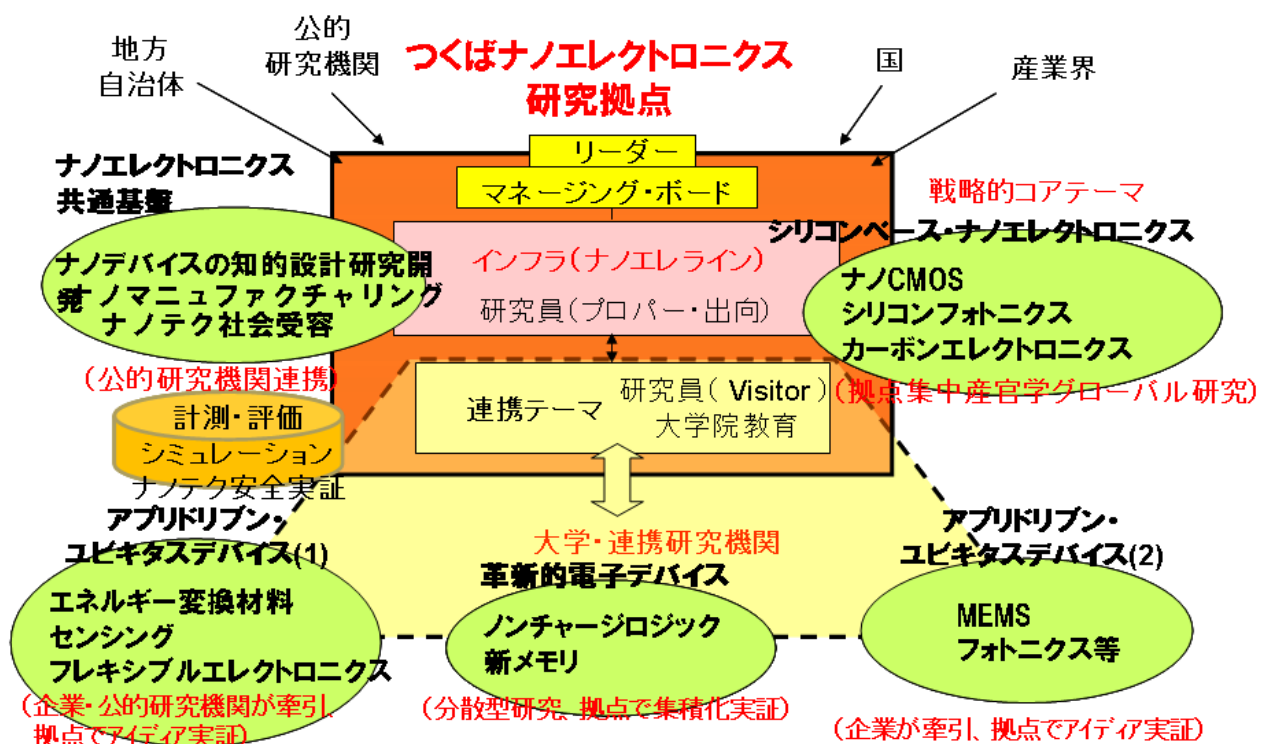
- ・ 産業界からのマネージングボード構成メンバは、日本のナノエレクトロニクスに対する将来ニーズの提示と戦略議論を行うとともに、インフラ固定費の一部負担をする。
- ・ 特区としての申請を考慮する。
 - 1) 拠点並びに公的研究機関に対する設備等の寄付を、大学への寄付並みに非課税化する。
 - 2) 拠点に対し海外研究員を招聘しやすくするためのビザ更新の優遇、もしくはグリーンカード発行。

5) インフラ

- ・ 産総研 SCR 棟を活用する。(年間 15~30 億円レベルのクリーンルーム維持固定費が必要) 固定費は国/産総研/企業(ボードメンバー)で負担するなど安定的出費が必要。非ボードメンバー企業参加プロジェクトからは、研究費用の一部を固定費に配分
- ・ 既存施設(AIST、NIMS、筑波大学他)の活用: ナノファブ、分析・計測

6) 研究費用(戦略的コア領域研究+ナノデバイス知的設計)

- ・ 拠点研究員: 100人(企業・大学・独法より派遣、プロパー)+補助スタッフ
 - ・ 拠点研究予算(人件費+材料費+固有設備費他): 50億円×5(年)
- 国委託プロジェクト・産総研テーマ費が中心になる。
- ① ナノ CMOS: 70 億円/5 年
 - ② シリコンフォトニクス: 40~60 億円/5 年
 - ③ カーボンエレクトロニクス: 100 億円/5 年
 - ④ ナノデバイス知的設計: 30 億円/5 年
- ・ サテライト研究予算: 各機関より申請。
 - ・ IP の帰属は研究テーマ内容により弾力的運用する。
(但し海外企業参加で、全額が国費負担の場合は、IP は国内に留めるようにする。)



つくばナノエレクトロニクス研究拠点構成図

第5章 今後の検討課題と推進体制

5-1 今後の検討課題

本プロジェクトにおいて、日本にナノエレクトロニクス拠点が必要であることを提案した。今後の課題として下記に示す項目の具体的検討が必要である。

1. ナノエレ拠点の制度・資金

- ・体制、ボードメンバー
- ・組織形態
- ・人員構成、リーダー
- ・インフラ維持費用、研究資金
- ・メンバーシップ、装置・材料・アプリ各企業の参加

2. 研究計画の具体化

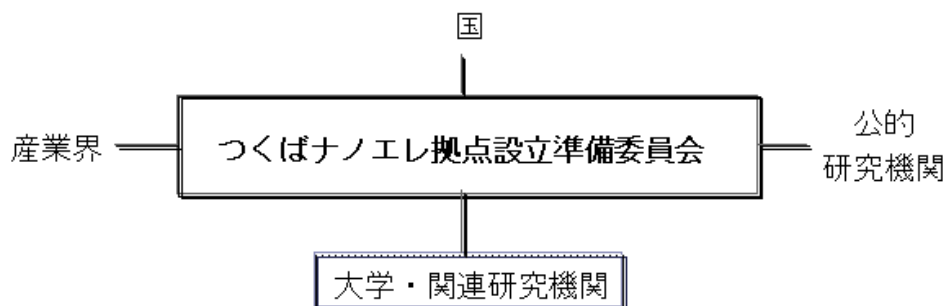
- ・テーマ内容、費用、人材
- ・IPなどの権利義務の明確化
- ・ESH

3. グローバル化対応

5-2 今後の検討推進体制（案）

2009年度は、本プロジェクトの参加メンバーと関係部門とにより、本プロジェクトの検討結果と他方面で行われている検討結果も合わせて、研究拠点設置準備のための組織を設置する必要がある。

2009年度に関係省庁との協議・調整を経て、2010年度のナノエレクトロニクス研究拠点開設を目指す。



今後の検討推進体制

ナノエレクトロニクス研究拠点として、公的研究機関の実績をベースに産業界と経産省を主体とする国の支援により拠点体制を確立し、産業界（電気・電子系のデバイス、装置・材料、アプリケーション企業）・大学の人的・研究リソースの拠点への参画と幅広い連携、国プロジェクトの実施、海外リソースの招聘などにより、拠点研究活動を世界最高水準に引き上げたい。

あとがき

今後の日本を支えていくための新たなエレクトロニクス産業創出のための基盤となる提案を行った。未曾有の経済不況の真っ只中であるが、ものづくり国家である日本の起死回生の策として、ナノエレクトロニクスを日本の国家戦略として取り上げ、実現への1歩を踏み出すことを検討メンバー一同熱望する。

ナノエレクトロニクスは、何に使えるかとの質問をよくいただくが、日本の将来を支える先端エレクトロニクスの使われるすべての分野に使われるもので、半導体が産業の米と言われたが、それを更に包含して上回る新たな産業の米となる。先端エレクトロニクスは、最早IT機器のみならず、医療・エネルギー・食糧にわたる日本の生活の全分野を含み、それぞれのアプリケーション分野とナノエレクトロニクスの交流を積極的に行いたい。

日本が強みとする先端技術と多様なアプリケーションの結合が日本の国際競争力を永遠なものとし、木目細やかさと多様な文化を背景に世界を牽引する底力といつもなりうらと思われ、今回はナノエレクトロニクスがその先達であることを宣して、皆様からの絶大なるご協力をお願いしたい。

以上

産業競争力懇談会（COCN）

東京都千代田区丸の内一丁目 6 番 6 号 〒100-8280

日本生命丸の内ビル（株式会社日立製作所内）

Tel : 03-4564-2382 Fax : 03-4564-2159

E-mail : cocn.office.aj@hitachi.com

URL : <http://www.cocn.jp/>

事務局長 中塚隆雄